

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 23.06.2026 године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Лазар Добрић под насловом „Ефикасна хардверска реализација алгорита за брзу Фуријеову трансформацију са мешовитим радикасом“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Лазар Добрић је рођен 14.12.2001. године у Крагујевцу. Завршио је основну школу „Доситеј Обрадовић“ у Крагујевцу. Уписао је Средњу стручну војну школу у Београду и завршио је са одличним успехом. Електротехнички факултет уписао је 2020. године. Дипломирао је на одсеку за Електронику и дигиталне системе 2024. године са просечном оценом 8,80. Завршни рад одбранио је у септембру 2024. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за Електронику и дигиталне системе уписао је у октобру 2024. године. Положио је све испите са просечном оценом 9,80.

2. Извештај о студијском истраживачком раду

Кандидат Лазар Добрић је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област којој припада тема мастер рада. Конкретно, анализирана су постојећа решења и проблеми у области хардверске реализације проточних архитектура за брзу Фуријеову трансформацију са мешовитим радикасом на FPGA (енгл. Field Programmable Gate Array) чиповима, а најпре у сврхе бежичних комуникационих система као што је 5G. Истраживањем области утврђено је да постоје различита решења која се користе за имплементацију серијских проточних архитектура, од којих је Single-path Delay Feedback (SDF) најчешће коришћена варијанта. У даљем раду конципирана је микроархитектура имплементираних архитектура. Сваки блок је анализиран и осмишљен тако да што ефикасније користи ресурсе на FPGA чиповима, а пре свега блокове за дигиталну обраду сигнала (енгл. DSP blocks) на FPGA чиповима, са циљем мање употребе осталих логичких ресурса.

3. Опис мастер рада

Мастер рад обухвата 74 стране, са укупно 33 слике, 11 табела и 18 референци. Рад садржи увод, 5 поглавља и закључак (укупно 7 поглавља), списак коришћене литературе, списак скраћеница, списак слика и списак табела. Мастер рад је написан на енглеском језику.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Описана је поставка проблема као и разлози за реализацију алгорита на програмабилној хардверској платформи.

У другом поглављу је дат теоријски преглед OFDM (енгл. Orthogonal Frequency Division Multiplexing) модулације, као и алгоритама за брзу Фуријеову трансформацију. Поред тога, дат је преглед аритметике са фиксним зарезом.

У трећем поглављу је детаљно представљена SDF архитектура, као и микроархитектура изведене имплементације. Сви блокови архитектуре су детаљно анализирани са освртом на њихову комплексност имплементације на FPGA чиповима.

У четвртом поглављу су дати детаљи софтверског референтног модела који је коришћен за одређивање параметара архитектуре. Анализиран је избор формата свих података у архитектури. Такође, обављена је и евалуација нумеричких перформанси архитектуре.

Пето поглавље детаљно описује имплементацију и верификацију архитектуре, као и резултате имплементације на FPGA уређајима AMD-Xilinx Zynq 7000 фамилије. Посебан осврт је дат редоследу степенова (енгл. Stage, степен) у архитектури и његовом утицају на заузеће ресурса.

Шесто поглавље се бави будућим радом као и потенцијалним оптимизацијама архитектуре. На крају је дат закључак.

4. Анализа са кључним резултатима

Мастер рад дипл. инж. Лазара Добрића бави се проблематиком хардверских архитектура за израчунавање брзе Фуријеове трансформације са мешовитим радикасом, са посебним акцентом на ефикасном коришћењу ресурса одабране платформе.

Хардвер је пројектован у језику VHDL, док је софтверски модел имплементиран у програмском језику Python.

Основни доприноси рада су: 1) приказ најчешће коришћене архитектуре и њена адаптација за рад са мешовитим радикасом; 2) развој прецизног софтверског модела у аритметици са фиксним зарезом; 3) FPGA имплементација архитектуре на високој учестаности сигнала такта; 4) ефикасно искоришћење хардверских ресурса.

5. Закључак и предлог

Кандидат Лазар Добрић је у свом мастер раду успешно решио проблем имплементације алгоритма за брзу Фуријеову трансформацију са мешовитим радикам. Мастер рад обухвата детаљну анализу архитектуре хардвера са аспекта хардверске сложености и тачности израчунавања. Посебан допринос је у ефикасном искоришћењу DSP блокова FPGA чипа чиме се умањује искоришћење преосталих логичких и регистарских елемената.

Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Лазара Добрића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 12.09.2026. године

Чланови комисије:

др Владимир Петровић Доцент
сагласан, 11.09.2026.

др Драгомир Ел Мезени Доцент
сагласан, 12.09.2026.