

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 21.10.2025 године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Василије Довијанић под насловом „Имплементација I3C контролера“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Василије Довијанић је рођен 26.08.2000. године у Београду.

Похађао је основну школу „Љуба Ненадовић“ у Београду.

Уписао је Математичку гимназију у Београду 2015. године.

Електротехнички факултет уписао је 2019. године.

Дипломирао је 2023. године. Положио је све испите са просечном оценом 9,6.

Дипломски рад одбранио је 2023. године.

Мастер студије на Електротехничком факултету у Београду, на Модулу за електронику и дигиталне системе уписао је у октобру 2023. године.

2. Извештај о студијском истраживачком раду

Кандидат Василије Довијанић је као припрему за израду мастер рада спровео истраживање релевантне литературе која се односи на протоколе за серијски пренос података у дигиталним системима. Конкретно, прво је изучавао основни скуп функционалности уређаја који подржавају I2C протокол, а затим се кандидат упознао са новијим, I3C протоколом који пружа већу брзину, мању потрошњу енергије и поједностављује везе у односу на стари протокол. Посебно се бавио изучавањем регистарске структуре за прикупљање и слање података на магистралу, на основу чега је планирао архитектуру контролера за I3C магистралу, програмабилног преко APB интерфејса, који је имплементиран у мастер раду.

3. Опис мастер рада

Мастер рад обухвата 53 стране. Организован је у 11 поглавља, са 23 слике и 19 табела. На крају рада је наведен списак коришћене литературе.

У уводу су описани предмет и циљ рада.

Друго поглавље даје кратак осврт на значај и примену језика за опис хардвера, посебно Verilog и SystemVerilog језика.

Треће поглавље описује I2C и I3C протоколе, њихову структуру, адресирање, начине преноса података, open-drain и push-pull режиме, као и поступак динамичког додељивања адреса.

У четвртном поглављу су дефинисани захтеви и обим реализације I3C контролера, укључујући подржане трансфере, CCC команде, IBI, Hot-Join и I2C компатибилност.

У петом поглављу је приказана архитектура пројектованог контролера, APB приступни модул, FIFO меморије, преводилац команди, монитор магистрале, обрађивач догађаја, линијски драјвер и DAA табела. Шесто поглавље описује преводјење софтверских команди у операције на магистралу. Приказани су формат командне речи, Private SDR трансфери, CCC команде, ENTDAА поступак и интерфејс између преводиоца и линијског драјвера.

Седмо поглавље приказује управљање SCL и SDA линијама, генерисање временских интервала, формирање START, Repeated START, STOP и ABORT услова.

У осмом поглављу је описан софтверски интерфејс контролера преко APB магистрале. Приказана је регистарска мапа, командни и FIFO регистри за податке, статусни и контролни регистри, регистри грешака и прекида, IBI и Hot-Join конфигурација, као и регистар за резервацију Legacy I2C адреса.

Девето поглавље описује поступак верификације дизајна. У њему су представљени усмерени симулациони тестови за Private I3C трансфере, ENTDAА арбитражију са више Target уређаја и I2C компатибилни режим. Десето поглавље приказује резултате симулација, укључујући комуникацију преко APB интерфејса и сигнале на SCL и SDA линијама.

У једанаестом поглављу су сумирани резултати рада и предложени правци даљег развоја, као што су подршка за HDR режиме и напреднија подршка за више контролера.

4. Анализа са кључним резултатима

Мастер рад дипл. инж. Василија Довијанића бави се имплементацијом I3C контролера који се може програмирати преко APB интерфејса. Функционалности контролера прате MIPI I3C Basic 1.0 протокол, а уједно је остварена подршка за стари, ширококоришћени I2C протокол. Реализована је архитектура која обухвата превођење софтверских команди у протоколске секвенце, управљање SCL и SDA линијама, Private SDR трансфере, одабране Common Command Code групе команди, динамичко адресирање, као и обраду IBI и Hot-Join захтева. RTL код је написан у Verilog језику, а тестиран је алатом SimVision где су покретани директни тестови писани у SystemVerilog-у. Коришћена је testbench структура у којој је имплементиран модел машине стања за тестирање основних функционалности и усаглашавање са стандардом.

Главни резултати овог мастер рада су: 1) успешно имплементиран I3C контролер са функционалностима које прате MIPI I3C Basic 1.0 протокол, 2) APB интерфејс омогућава олакшану контролу и проверу статуса извршавања у контролеру, као и читање примљених података, 3) подршка за Private SDR Transfer, изабране CCC команде, ENTDAА и основни I2C режим заједно са обрадом IBI и Hot-Join захтева представља добар шаблон по коме би могле да буду имплементирани даље надоградње.

5. Закључак и предлог

Кандидат Василије Довијанић је у свом мастер раду успешно имплементирао I3C контролер са функционалностима које су у складу са MIPI I3C Basic 1.0 протоколом, а истовремено подржава и основни режим веома распрострањеног I2C протокола. Реализована је подршка за одређене команде и трансфере података који представљају добру основу за даљу надоградњу система.

Кандидат је показао високу самосталност и систематичност у приступу, као и иновативне приступе у решавању проблема који су се појавили током развоја и тестирања.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Имплементација I3C контролера” дипл. инж. Василија Довијанића прихвати као мастер рад и кандидату одобри усмену одбрану.

Београд, 03.09.2026. године

Чланови комисије:

др Јелена Поповић Божовић Доцент
сагласан, 03.09.2026.

др Радивоје Ђурић Ванредни професор
сагласан, 03.09.2026.