

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 02.07.2024. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Дејане Аџић под насловом „Слој апстракције регистара у верификацији Debug приступног порта на бази АРВ протокола”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Дејана Аџић је рођена 21.04.1991. године у Котору, у Црној Гори. Завршила је основну школу „Народни херој Саво Илић” у Котору као добитница дипломе „Луча” и ђак генерације. Уписала је општи смер Гимназије у Котору, коју је завршила као добитница дипломе „Луча” и ђак генерације. Другу годину средње школе завршила је у Centennial High School у Шампејну, у држави Илиноис, САД, у склопу програма Америчко - српско - црногорске размене младих лидера, под покровитељством државног секретаријата САД. Током школовања освојила је више награда на државним такмичењима из математике. Дипломирала је 2018. године на одсеку за Електронику Електротехничког факултета у Београду, а дипломски рад одбранила је са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на модулу Електроника и дигитални системи, уписала је у октобру 2022. године. Од 2017. године је стално запослена, а тренутно ради у компанији NextSilicon на позицији сениор инжењера за верификацију хардвера.

2. Извештај о студијском истраживачком раду

Кандидаткиња Дејана Аџић је као припрему за израду мастер рада урадила истраживање релевантне литературе која се односи на област функционалне верификације дигиталног дизајна процесора. Конкретно, изучаване су напредне методе верификације које се односе на слој апстракције регистара, могућност коришћења регистара Debug приступног порта за приступ процесорском језгру и релевантни протоколи комуникације. Истраживањем области утврђено је да је имплементација модела слоја апстракције регистара у верификационом окружењу погодна за верификацију регистара Debug приступног порта. Након обављеног студијског истраживачког рада, кандидаткиња је приступила изради тезе.

3. Опис мастер рада

Мастер рад обухвата 56 страна и организован је у 8 поглавља, са укупно 33 слике и 16 табела. На крају рада је дат прилог са делом програмског кода, списак коришћене литературе, као и списак слика и табела.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

Друго поглавље представља теоријски увод у Универзалну верификациону методологију. Приказане су основне класе у методологији, структура тестбенча и комуникација између компоненти у тестбенчу.

У трећем поглављу је објашњен слој апстракције регистара. Дат је преглед структуре регистарског модела, класа и метода елемената регистарског окружења.

У четвртном поглављу описан је АРВ протокол. Приказани су сигнали протокола, машина стања, као и основне трансакције читања и уписа.

Пето поглавље описује коришћење и намену Debug приступног порта. Дат је конкретан пример процесорског језгра коме ће се приступати, разлог коришћења приступног порта и преглед регистара приступног порта.

У шестом поглављу је дата конкретна имплементација регистарског модела за Debug приступни порт. Приказани су делови кода који описују имплементацију регистара, регистарског блока, регистарске мапе и регистарског адаптера, као и делови кода за повезивање са осталим компонентама верификационог окружења.

Седмо поглавље описује резултате имплементације регистарског модела за Debug приступни порт. Анализирани су резултати симулација и приказани су конкретне операције на регистрима приступног порта и промене на сигнаlima APB магистрале. Предложена су могућа унапређења регистарског модела.

У осмом поглављу дат је закључак у коме су сумирани резултати.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Дејане Ацић се бави функционалном верификацијом процесорских језгара, конкретно имплементацијом регистарског модела Debug приступног порта који се може користити у том поступку. Предвиђено је да се Debug порту приступа према стандардном APB протоколу. Имплементација регистарског модела је изведена коришћењем Универзалне верификационе методологије, а у раду је описано повезивање регистарског модела кроз адаптер и предиктор са агентом, окружењем, scoreboard-ом, тестбенчом, као и генерисање секвенци за тестирање. За имплементацију је коришћен SystemVerilog језик.

Главни допринос мастер рада је унапређење процеса верификације процесорских језгара омогућавањем аутоматизованог, стандардизованог и апстрактног приступа регистарским просторима процесора. Тиме је постигнута већа ефикасност у верификацији, праћењу трансакција и лакшем отклањању грешака.

5. Закључак и предлог

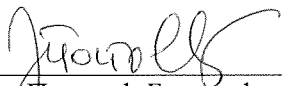
Кандидаткиња Дејана Ацић је у свом мастер раду успешно имплементирала модел слоја апстракције регистара Debug приступног порта у верификационом окружењу коришћењем Универзалне верификационе методологије и APB протокола.

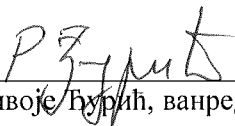
Кандидаткиња је исказала самосталност и систематичност, као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Слој апстракције регистара у верификацији Debug приступног порта на бази APB протокола ” дипл. инж. Дејане Ацић прихвати као мастер рад и кандидаткињи одобри усмену одбрану.

Београд, 11.09.2024. године

Чланови комисије:


Др Јелена Поповић Божовић, доцент


Др Радивоје Гурвић, ванредни професор