

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 03.09.2024. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Дениса Ристића под насловом „Пројектовање неблокирајућег кеш контролера са конфигурабилним бројем јединица за процесирање”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Денис Ристић је рођен 26.07.1997. године у Врању. Завршио је основну школу „Бранко Радичевић” у Врању са стеченом Вуковом дипломом. Потом је уписао Гимназију у Врању коју је такође завршио са Вуковом дипломом. Електротехнички факултет уписао је 2016. године. Током студија, сваке године је примио награду најбољег студента на смеру Електроника. Дипломирао је у септембру 2020. године, са просечном оценом 9,80. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за Електронику и дигиталне системе уписао је у октобру 2023 године. Положио је све испите са просечном оценом 10.

2. Извештај о студијском истраживачком раду

У оквиру припреме за израду теме мастер рада, кандидат Денис Ристић је спровео истраживање релевантне литературе која се односи на област дигиталног дизајна и архитектуре и организације рачунара. Конкретно, изучаване су разне архитектуре система са хијерархијски организованом меморијом као и архитектуре различитих кеш контролера. Истраживањем области утврђен је значај смањења просечног времена приступа меморији, те је одабрана неблокирајућа архитектура контролера. Након обављеног студијског истраживачког рада, кандидат је приступио изради тезе.

3. Опис мастер рада

Мастер рад обухвата 91 страну, са укупно 58 слика, 8 табела и 5 референци. Рад садржи увод, 4 поглавља и закључак (укупно 6 поглавља) и списак коришћене литературе. Рад је написан на српском језику, са насловом „Пројектовање неблокирајућег кеш контролера са конфигурабилним бројем јединица за процесирање“.

У првом, уводном, поглављу су дефинисане теме које садржај рада дотиче и дефинисани су основни појмови и параметри везани за пројекат и његову имплементацију.

У другом поглављу је описана теоријска основа на којој се пројекат базира: описан је концепт кеширања података, приказане су различите архитектуре система са кеш меморијом, као и архитектуре и параметри кеш меморије. Касније је објашњен и концепт паралелног приступа и обраде захтева, као и проблеми који се јављају. Описан је и AXI протокол, као протокол који омогућава слање вишеструких захтева, и протокол који се у пројекту и користи.

У трећем поглављу је приказан кратак преглед пројекта: списак свих коришћених протокола и сигнала на интерфејсу, као и кратак опис коришћених модула и њихових функционалности. Уз то је приказан и блок дијаграм система.

У четвртном поглављу је приказана имплементација пројекта. На почетку су дефинисане информације о сигналу такта, ресета и прекида, а након тога је приказан опис

свих регистара, њихових поља, и њихово програмирање. Након тога следи детаљан опис свих компоненти у систему; опис функционалности, имплементације, машина стања, а приказани су и сви релевантни временски дијаграми појединачних модула. Између осталог, у склопу описа језгра контролера су описана и решења проблема паралелног процесирања.

У петом поглављу су дефинисани постигнути резултати имплементације у виду добијених временских параметара за различите сценарије, различите величине кеш меморије, као и различит број јединица за процесирање. За сваки од случајева је извршена анализа постигнутог убрзања, на основу добијених времена извршавања програма.

Шесто поглавље представља закључак у оквиру кога је сумиран значај кеш меморије и кеш контролера у модерним системима рачунара, сумиране су предности неблокирајуће архитектуре, и дате су смернице за могућа унапређења рада система.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Дениса Ристића се бави пројектовањем неблокирајућег кеш контролера, у којем се примљени захтеви могу обрађивати паралелно, а број јединица за процесирање се може изабрати у току инстанцирања контролера. Контролер на улазу и излазу имплементира *AXI* протокол. Унутар самог контролера се инстанцира *N-way* асоцијативна кеш меморија са конфигурабилним бројем сетова, чија је линија величине 512 бита. Рад се такође фокусира на решавање свих проблема који се јављају као последица паралелне обраде захтева. За имплементацију је коришћен *SystemVerilog* језик, који представља индустријски стандард у овој области. Симулација је вршена у *Vivado* софтверском алату.

Главни допринос рада је применљивост имплементираниог контролера за убрзање једнопроцесорских система који немају хирерајхијску организацију меморије. Инстанцирањем више серијских контролера се са лакоћом може развити читав систем организације меморије са више нивоа. Такође, рад пружа детаљан опис теоријске основе и имплементације контролера, те самим тим пружа и смернице за пројектовање сличних уређаја, са акцентом на убрзање и флексибилност.

5. Закључак и предлог

Кандидат Денис Ристић је у свом мастер раду успешно пројектовао неблокирајући кеш контролер који, због високог степена паралелизма, може имати широку примену у пракси јер пружа значајно убрзање једнопроцесорских система.

Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.


На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Дениса Ристића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 04.09.2024. године

Чланови комисије:



Др Иван Поповић, ред. проф.



Мс Харис Туркмановић, асис.