

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 27.08.2024. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Анастасије Перић под насловом „Пројектовање RISC-V процесора са извршавањем инструкција у једном тактном циклусу”. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Анастасија Перић је рођена 03.10.2000. године у Смедереву. Завршила је основну школу „Вук Караџић” у Липама као ђак генерације. Уписала је Гимназију у Смедереву коју је завршила са одличним успехом. Електротехнички факултет уписала је 2019. године. Дипломирала је на одсеку за Електронику 2023. године са просечном оценом 8,67. Дипломски рад одбранила је у августу 2023. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за Електронику и дигиталне системе уписала је у октобру 2023 године. Положила је све испите са просечном оценом 10.

#### 2. Извештај о студијском истраживачком раду

Кандидаткиња Анастасија Перић је као припрему за израду мастер рада урадила истраживање релевантне литературе која се односи на област дигиталног дизајна и архитектуре и организације рачунара. Конкретно, изучаване су архитектура RISC-V процесора, типови инструкција, као и превођење асемблерског у бинарни код. Истраживањем области утврђен је значај RISC-V архитектуре која омогућава широку примену и иновације у дизајну доприносећи развоју различитих верзија процесора, оптимизованих за специфичне примене. Након обављеног студијског истраживачког рада, кандидаткиња је приступила изради тезе.

#### 3. Опис мастер рада

Мастер рад обухвата 52 стране и организован је у 6 поглавља, са укупно 43 слике и 13 табела. Рад садржи увод, 4 поглаља и закључак, као и списак слика и табела. На крају рада је дат прилог са делом програмског кода и наведен је списак коришћене литературе.

У првом поглављу су описани предмет и циљ рада. Објашњени су основни принципи и карактеристике RISC-V архитектуре процесора.

Друго поглавље представља теоријски увод у RISC-V архитектуру. Приказани су сетови инструкција који могу бити имплементирани у RISC-V архитектури. Затим су за основни сет инструкција, RV32I, представљени формати инструкција, објашњена је комуникација процесора са меморијама за податке и инструкције, описани регистри и инструкције.

Треће поглавље се односи реализацију модула RV32I, који представља архитектуру 32-битног RISC-V процесора извршавањем инструкција I-типа у једном тактном циклусу. Дат је функционални опис интерфејса, извршена је основна подела система на две главне целине, контролну и извршну јединицу и описана је детаљна структура хардвера обе јединице.

У четвртом поглављу је описано тестирање система. Представљен је алгоритам за конверзију асемблерског кода у бинарни формат ради ефикаснијег и прецизнијег тестирања процесора.

Пето поглавље приказује резултате симулација за различите типове инструкција којима је потврђена исправност рада пројектованог система.

Шесто поглавље представља закључак у оквиру кога су сумирана достигнућа мастер рада, као и потенцијалне оптимизације са циљем побољшања ефикасности пројектованог система.

#### 4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Анастасије Перић се бави имплементацијом RISC-V процесора са основним сетом инструкција које се извршавају у једном циклусу такта (*single-cycle*). Због једноставности, ефикасности у извршавању инструкција, флексибилности, као и због отвореног приступа, RISC-V архитектура има све већу примену у електронским системима. У овом раду је развијен RTL модел процесора који подржава извршавање 32-битних инструкција R(*Register-Register*), I(*Immediate*), L(*Load*), S(*Store*), B(*Branch*) и J(*Jump*) типа. За имплементацију је коришћен Verilog HDL језик. Симулација је вршена у SimVision софтверском алату, а за потребе тестирања је имплементирана скрипта за превођење асемблерског у бинарни код у Python програмском језику.

Главни доприноси мастер рада су успешна реализација RTL модела 32-битног RISC-V процесора са основним сетом инструкција, развијен алат за аутоматизацију тестирања система, као и конфигурабилност и модуларност развијених компоненти што пружа могућност њихове широке примене у системима на чипу.

#### 4. Закључак и предлог

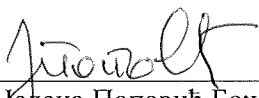
Кандидаткиња Анастасија Перић је у свом мастер раду успешно пројектовала RTL модел 32-битног RISC-V процесора са основним сетом инструкција које се извршавају у једном тактном циклусу, који може имати широку примену у оквиру различитих система на чипу.

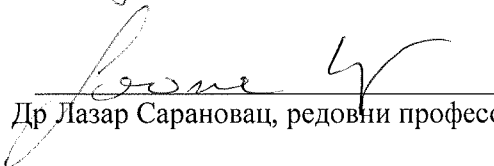
Кандидаткиња је исказала самосталност и систематичност, као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Пројектовање RISC-V процесора са извршавањем инструкција у једном тактном циклусу” дипл. инж. Анастасије Перић прихвати као мастер рад и кандидаткињи одобри усмену одбрану.

Београд, 4.09.2024. године

Чланови комисије:

  
Др Јелена Поповић Божовић, доцент

  
Др Лазар Сарановац, редовни професор