

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 27.08.2024. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Александра Ђурчина под насловом „Развој и имплементација DMA контролера употребом Verilog језика”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Александар Ђурчин је рођен 21.10.1996. године у Београду. Завршио је основну школу „Милан Хаџић” у Војки као вуковац. Уписао гимназију „Бранко Радичевић” у Старој Пазови и коју је завршио са одличним успехом. Електротехнички факултет уписао је 2016. године. Дипломирао је на одсеку за Електронику 2022. године са просечном оценом 8,20. Дипломски рад са темом „Малошумни 65nm CMOS појачавач са заједничким гејтом за опсег учестаности око 5.5 GHz” одбранио је у септембру 2022. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику и дигиталне системе уписао је у октобру 2022. године. Положио је све испите са просечном оценом 9,20.

2. Извештај о студијском истраживачком раду

Кандидат Александар Ђурчин је као припрему за израду мастер рада спровео истраживање релевантне литературе која се односи на примену и развој DMA (*Direct Memory Access*) контролера. Конкретно, изучавани су концепти и примене дескриптора у контексту DMA контролера и AXI протокол. Истраживањем области утврђене су главне карактеристике и предности употребе дескриптора за управљање DMA трансферима и интеграције са AXI протоколом. Након обављеног студијског истраживачког рада, кандидат је приступио изради мастер рада.

3. Опис мастер рада

Мастер рад обухвата 46 страна и организован је у 5 поглавља, са 23 слике и 12 табела. На крају рада је наведен списак коришћене литературе.

У Уводу је описан предмет и циљ рада, развој DMA контролера у Verilog језику и детаљна евалуација његових перформанси. Дат је кратак преглед рада по поглављима.

Друго поглавље садржи детаљан опис архитектуре DMA контролера. Описане су главне компоненте контролера, укључујући функционалност главне машине стања (DMA FSM) и одговарајућих AXI канала. Такође су представљени регистри и FIFO бафер који су кључни за управљање подацима.

Треће поглавље фокусира се на опис интерфејса DMA контролера који омогућава интеграцију са другим компонентама система. Овде су објашњени и AXI протокол за трансфер података, као и APB протокол за стартовање DMA контролера.

Четврто поглавље је посвећено приказу резултата симулације пројектованог DMA контролера. У овом делу су анализирани резултати брзине преноса података и способност контролера да управља грешкама у процесу преноса.

На крају рада, изведени су закључци који потврђују да је контролер успешно прошао све тестове и да је спреман за примену у практичним условима. Такође су идентификовани потенцијални правци за будућа побољшања.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Александра Ђурчина се бави развојем и евалуацијом DMA контролера, компоненте чија је улога да омогући ефикасан пренос података између меморије и периферних уређаја у електронским системима. Пројектовани DMA контролер подржава два комуникациона протокола и то APB протокол за комуникацију са периферним уређајима и AXI протокол који омогућава брз пренос података. Архитектура DMA контролера је описана у Verilog језику чиме је обезбеђена конфигурабилност и употребљивост пројектоване компоненте у различитим системима. Имплементирани су кључне функције контролера и развијено је тестбенч окружење за симулацију. Детаљно су анализирани перформансе контролера, укључујући брзину преноса података, управљање грешкама, као и употребу ресурса.

Главни доприноси мастер рада су успешно пројектован и имплементиран DMA контролер који подржава AXI и APB протоколе, креирано тестбенч окружење за симулацију и извршена детаљна анализа перформанси контролера.

5. Закључак и предлог

Кандидат Александар Ђурчин је у свом мастер раду успешно развио и имплементирао DMA контролер у Verilog језику и детаљном анализом перформанси потврдио да пројектовани контролер може имати примену у практичним условима.

Кандидат је показао високу самосталност и систематичност у приступу, као и иновативне приступе у решавању проблема који су се појавили током развоја и тестирања контролера.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Развој и имплементација DMA контролера употребом Verilog језика” дипл. инж. Александра Ђурчина прихвати као мастер рад и кандидату одобри усмену одбрану.

Београд, 06.09.2024. године

Чланови комисије:

Др Јелена Поповић Божовић, доцент

Др Владимир Рајовић, ванредни професор