

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 04.06.2024. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Горана Станојчића под насловом „Верификација блока за потискивање шума коришћењем UVM методологије”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Горан Станојчић је рођен 14.09.1994. године у Ужицу. Завршио је основну школу "Нада Матић" у Ужицу. Завршио је "Ужичку гимназију" у Ужицу, природно-математички смер. Електротехнички факултет уписао је 2013. године. Дипломирао је на Одсеку за Електронику 2021. године са просечном оценом 7,47. Дипломски рад „Верификација Wishbone2Uart IP блока” одбранио је у фебруару 2021. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за Електронику и дигиталне системе уписао је у октобру 2021. године.

2. Извештај о студијском истраживачком раду

Кандидат Горан Станојчић је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област функционалне верификације хардвера којој припада тема мастер рада. Конкретно, изучавана је UVM (*Universal Verification Methodology*) методологија и *SystemVerilog*, језик за опис и верификацију хардвера, као и спецификација блока за потискивање шума и релевантни протоколи комуникације. Истраживањем је утврђено да су *SystemVerilog* и UVM методологија погодни за верификацију поменутог блока. Након обављеног студијског истраживачког рада, кандидат је приступио изради тезе.

3. Опис мастер рада

Мастер рад обухвата 39 страна, са укупно 27 слика, 3 табеле и 13 референци. Рад садржи увод, 5 поглавља и закључак (укупно 7 поглавља), списак табела, списак слика и списак коришћене литературе.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

У другом поглављу је описана функционалност блока за потискивање шума који је заснован на примени вејлет трансформације, интерфејси и компоненте које се налазе у том блоку према спецификацији.

У трећем поглављу је представљено верификационо окружење са одговарајућим компонентама, укључујући APB и SRAM агенте, регистарски модел и референтни модел блока за потискивање шума. Детаљно је описано на који начин свака од компоненти функционише у верификационом окружењу.

У четвртном поглављу описан је начин на који су интерфејси блока за потискивање шума повезани са интерфејсима APB и SRAM агената. Такође је описано како су генерисани и повезани ресет и сигнал такта.

У петом поглављу су описани сви функционални тест сценарији и *base* тест из кога се остали тестови изводе. Приказани су делови кода тестова и *task*-ова из *base* теста. Такође је

описан *coverage* који је дефинисан како би се анализирао функционална покривеност тестова и *checker*-и који потврђују исправност рада блока.

У шестом поглављу су анализирани резултати регресија тестова. Детаљно је описан процес дебаговања палих тестова из регресије и донети су закључци о могућим баговима у блоку. Представљен је списак и опис свих багова који су пронађени.

Седмо поглавље је закључак у оквиру кога су сумирани резултати и предложени даљи кораци у верификацији овог блока.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Горана Станојчића се бави пројектовањем верификационог окружења за блок за потискивање шума заснован на примени вејвлет трансформације. Тема рада припада области функционалне верификације хардвера, једној од важних фаза у пројектовању дигиталних система. Блок за потискивање шума, као један од блокова за дигиталну обраду сигнала, представља део система на чипу који се користе у разним уређајима. Прецизност обраде сигнала, која је обично веома комплексна, једна је од најзначајних функционалности коју је потребно верификовати. Такође, важно је верификовати и комуникацију блока за потискивање шума преко одговарајућих интерфејса како би се осигурала поузданост у оквиру читавог система. За имплементацију верификационог окружења је коришћена UVM (*Universal Verification Methodology*) методологија и *SystemVerilog* језик. Током рада су коришћени софтверски алати *SimVision* и *vManager* компаније *Cadence*.

Главни доприноси мастер рада су успешна реализација верификационог окружења за блок за потискивање шума, конфигурација агената који представљају протоколе за комуникацију са блоком, тест сценарији који обухватају све функционалности блока, као и опис процеса дебаговања. Овакав приступ верификацији се може применити на сличне блокове за дигиталну обраду сигнала.

5. Закључак и предлог

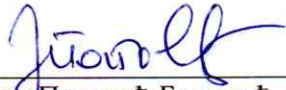
Кандидат Горан Станојчић је у свом мастер раду успешно пројектовао верификационо окружење за блок за потискивање шума заснован на примени вејвлет трансформације и извршио верификацију тог блока коришћењем UVM методологије.

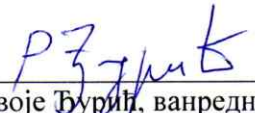
Кандидат је исказао самосталност и систематичност, као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Верификација блока за потискивање шума коришћењем UVM методологије” дипл. инж. Горана Станојчића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 29.08.2024. године

Чланови комисије:


Др Јелена Поповић Божовић, доцент


Др Радивоје Турин, ванредни професор