

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 30.05.2023. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Радомира Врањевића под насловом „Ефикасна хардверска реализација IP језгара за брзу Фуријеову трансформацију”. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Радомир Врањевац је рођен 10.5.1998. године у Ариљу. Завршио је основну школу „Стеван Чоловић” у Ариљу. Након тога, уписао је Гимназију „Свети Сава” у Пожеги коју је завршио са одличним успехом. Током школовања учествовао је на такмичењима из математике и физике, и показао велико интересовање за електронику. Учествовао је на фестивалу Гимфест у Пожеги, као и Фестивалу науке у Београду. Електротехнички факултет уписао је 2017. године. Дипломирао је на одсеку за Електронику 2021. године са просечном оценом 9,67. Завршни рад под насловом „Наменски систем за хардверско-софтверску обраду радарског сигнала” одбранио је у септембру 2021. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику и дигиталне системе уписао је у октобру 2021. године. Положио је све испите са просечном оценом 10.

#### 2. Извештај о студијском истраживачком раду

Кандидат Радомир Врањевац је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област којој припада тема мастер рада. Конкретно, анализирана су постојећа решења и проблеми у области хардверске реализације проточних архитектура за брзу Фуријеову трансформацију на FPGA (енгл. *Field Programmable Gate Array*) чиповима. Истраживањем области утврђено је да постоје различита решења која се користе за имплементацију серијских проточних архитектура, као што су: *Single-path Delay Feedback* (SDF), *Single-path Delay Commutator* (SDC), *Single-path Feed-Forward* (SFF), док се за имплементацију паралелних проточних архитектура користе: *Multi-path Delay Feedback* (MDF), *Multi-path Delay Commutator* (MDC). Анализом решења је утврђено да SDF и MDF архитектуре представљају перспективно решење. У даљем раду анализиране су архитектуре блокова за дигиталну обраду сигнала (енгл. *DSP blocks*) на FPGA чиповима, а затим је осмишљен начин за њихово ефикасно коришћење у реализацији SDF и MDF архитектуре, са циљем мање употребе осталих логичких ресурса.

#### 3. Опис мастер рада

Мастер рад обухвата 47 страна, са укупно 35 слика, 6 табела и 32 референце. Рад садржи увод, 5 поглавља и закључак (укупно 7 поглавља), списак коришћене литературе, списак скраћеница, списак слика и списак табела. Мастер рад је написан на енглеском језику.

Прво поглавље представља увод у коме су описаны предмет и циљ рада. Описана је поставка проблема као и разлози за реализацију алгоритма на програмабилној хардверској платформи.

У другом поглављу је дат теоријски преглед алгоритама за брзу Фуријеову трансформацију, као и измене алгоритама које омогућавају мању хардверску комплексност. Поред тога, дат је преглед аритметике са фиксним зарезом.

У трећем поглављу је описана библиотека за израчунавања са фиксним зарезом, а затим су дати детаљи софтверског референтног модела који је коришћен за одређивање параметара архитектуре.

У четвртом поглављу су детаљно представљене разматране хардверске архитектуре. Сем тога, описана је хардверска сложеност сваке архитектуре, као и највеће предности и ограничења. На самом крају је дат опис компоненте за промену редоследа података излаза имплементираног FFT-а из бит-инверзного у природни редослед.

Пето поглавље детаљно описује имплементацију одабраних архитектура, као и пресликање компоненти система на доступне хардверске примитиве који су присутни на FPGA уређајима *AMD-Xilinx Zynq Ultrascale+* фамилије. Посебна пажња је дата блоку за комплексно множење бројева за фиксном тачком.

У оквиру шестог поглавља представљени су резултати имплементираног дизајна. Првенствено се то односи на заузети хардверских ресурса сваке од различитих конфигурација. Осим тога, приказане су резултати утицаја квантизације и аритметике са фиксним зарезом на тачност израчунавања.

#### 4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Радомира Врањевца бави се проблематиком хардверских архитектура за израчунавање брзе Фуријеове трансформације, са посебним акцентом на ефикасном коришћењу ресурса одабране платформе.

Хардвер је пројектован у језику VHDL, док је софтверски модел имплементиран у програмском језику Python.

Основни доприноси рада су: 1) приказ различитих архитектура и њихово међусобно поређење; 2) развој прецизног софтверског модела у аритметици са фиксним зарезом; 3) FPGA имплементација архитектура на високој учестаности сигнала такта; 4) ефикасно искоришћење хардверских ресурса.

#### 5. Закључак и предлог

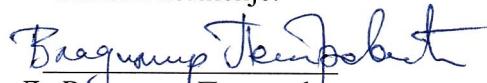
Кандидат Радомир Врањевац је у свом мастер раду успешно решио проблем имплементације различитих алгоритама за брзу Фуријеову трансформацију. Мастер рад обухвата детаљну анализу архитектура хардвера са аспекта хардверске сложености и тачности израчунавања. Посебан допринос је у ефикасном искоришћењу DSP блокова FPGA чипа чиме се умањује искоришћење преосталих логичких и регистарских елемената.

Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Радомира Врањевца прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 14.09.2023. године

Чланови комисије:

  
Др Владомир Петровић, доцент

  
Др Драгомир Ел Мезени, доцент