

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 06.06.2023. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Катарине Ристић под насловом „Имплементација серијског интерфејса у златном моделу верификационог окружења за APB2I2C модул”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Катарина Ристић је рођена 22.10.1998. године у Ваљеву. Завршила је основну школу „Андре Савчић” у Ваљеву са одличним успехом. Уписала је Девету гимназију „Михаило Петровић Алас” у Београду и коју је завршила са одличним успехом. Електротехнички факултет уписала је 2017. године. Дипломирала је на одсеку за Електронику 2021. године са просечном оценом 8,04. Дипломски рад одбранила је у септембру 2021. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику и дигиталне системе уписала је у октобру 2021. године. Положила је све испите са просечном оценом 9,80.

2. Извештај о студијском истраживачком раду

Кандидаткиња Катарина Ристић је као припрему за израду мастер рада урадила истраживање релевантне литературе која се односи на област којој припада тема мастер рада. Конкретно, изучавана је UVM (*Universal Verification Methodology*) методологија и *SystemVerilog*, језик за опис и верификацију хардвера. Истраживањем области утврђено је да су *SystemVerilog* и UVM методологија погодни за верификацију жељеног модула. Након обављеног студијског истраживачког рада, кандидаткиња је приступила изради тезе.

3. Опис мастер рада

Мастер рад обухвата 43 стране, са укупно 40 слика и делова кода, 1 табелом и 8 референци. Рад садржи увод, 4 поглавља и закључак (укупно 6 поглавља) и списак коришћене литературе.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

У другом поглављу изложене су основне информације о мотивима за настанак универзалне верификационе методологије UVM која је коришћена у мастер раду.

У трећем поглављу објашњена је комуникација преко I2C протокола, серијског протокола који подржава APB2I2C модул.

Четврто поглавље обухвата детаљан приказ развоја свих коришћених компоненти у оквиру верификационог окружења креираних са циљем обезбеђивања комуникације преко I2C протокола.

У петом поглављу су описани тестови развијени за тестирање функционалности реализованих у верификационом окружењу. Дата је и анализа функционалне покривености и резултати регресије.

Шесто поглавље је закључак у оквиру кога су сумирани резултати имплементације верификационог окружења за I2C протокол.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Катарине Ристић се бави пројектовањем верификационог окружења за серијски интерфејс APB2I2C модула. Тема рада припада области функционалне верификације хардвера која је веома актуелна и представља важан сегмент током пројектовања интегрисаних система на чипу. За имплементацију верификационе компоненте је коришћена UVM (*Universal Verification Methodology*) методологија и SystemVerilog језик. У раду је имплементирана верификациона компонента за серијски I2C интерфејс поменутог модула. Имплементирани су master и slave агенти, као и секвенце за I2C верификациону компоненту. Имајући у виду да је I2C стандардни серијски интерфејс, развијена је верификациона компонента која се може конфигурисати по потреби, тако да се користи за слање, пријем или и слање и пријем података дужине 8 бита, за три различите брзине рада. Имплементирана компонента је тестирана коришћењем *SimVision* симулатора и *vManager* алата компаније Cadence.

Главни допринос рада је успешна реализација верификационог окружења за I2C интерфејс у оквиру APB2I2C модула. Развијена компонента је конфигурабилна и написани код се може користити за верификацију дигиталних система на чипу у којима се користи поменути протокол за слање и пријем података дужине 8 бита.

5. Закључак и предлог

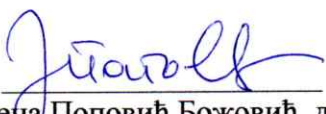
Кандидаткиња Катарина Ристић је у свом мастер раду успешно пројектовала верификационо окружење за серијски I2C интерфејс за слање и пријем података дужине 8 бита, које се може користити за верификацију дигиталних система на чипу у којима се користи поменути протокол.

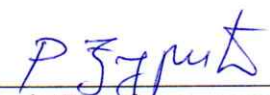
Кандидаткиња је исказала самосталност и систематичност, као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Имплементација серијског интерфејса у златном моделу верификационог окружења за APB2I2C модул” дипл. инж. Катарине Ристић прихвати као мастер рад и кандидаткињи одобри јавну усмену одбрану.

Београд, 14.09.2023. године

Чланови комисије:


Др Јелена Поповић Божовић, доцент


Др Радивоје Ћурић, ванредни професор