

## **КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ**

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 30.05.2022. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Матеје Милића под насловом „Пројектовање система на чипу коришћењем PYNQ пројекта”. Након прегледа материјала Комисија подноси следећи

### **ИЗВЕШТАЈ**

#### **1. Биографски подаци кандидата**

Матеја Милић је рођен 27.10.1997. године у Београд. Завршио је основну школу „Владислав Рибникар” у Београд. Након тога, уписао је Трећу Београдску Гимназију у Београду коју је завршио са одличним успехом као вуковац и кандидат за ђака генерације. Током школовања учествовао је на такмичењима из математике и физике, и показао велико интересовање за електронику. Електротехнички факултет уписао је 2016. године. Дипломирао је на одсеку за Електронику 2020. године са просечном оценом 9,29. Завршни рад под насловом „Пројектовање температурно независне напонске референце у 55nm CMOS технологији” одбранио је у Августу 2020. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику и дигиталне системе уписао је у октобру 2020. године. Положио је све испите са просечном оценом 10. Такође је у фебруару 2021. године уписао факултет ЕПФЛ у Лозани, где је положио први семестар, након чега је из здравствених разлога морао да одустане од даљег школовања.

#### **2. Извештај о студијском истраживачком раду**

Кандидат Матеја Милић је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област којој припада тема мастер рада. Конкретно, анализирана су системи на чипу и методологија пројектовања дигиталних VLSI система употребом PYNQ-а, пројекта отвореног кода компаније Xilinx. Анализиран је начин комуникације са хардверским модулима коришћењем програмског језика Python, чиме се омогућава једноставно тестирање пројектованих хардверских компоненти и повезивање акцелератора у сложеније системе. Jupyter Notebook се користио као Python програмско окружење за повезивање са хардверским модулима на PYNQ-у. За пројектовање хардверских компонента користио се VHDL језик, док је сама имплементација развијена и тестирана у развојном окружењу Vivado компаније Xilinx на Zynq развојној плочи PYNQ-Z2. Такође је анализиран начин имплементације HLS IP модула за обраду података коришћењем Vitis алата за пројектовање хардверских кола.

#### **3. Опис мастер рада**

Мастер рад обухвата 43 страна, са укупно 38 слике, 33 листинга кода и 14 референци. Рад садржи увод, 4 поглавља и закључак (укупно 6 поглавља), списак коришћене литературе, списак скраћеница, списак слика.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Описано је шта је то систем на чипу, од чега се састоји, која му је конкретна намена и начини пројектовања таквих система. Такође је представљен мотив за коришћење оваквих система и основне предности које ови системи пружају.

У другом поглављу је дат теоријски преглед ZYNQ система на чипу, где је описана његова структура, разлог његове употребе као и начин на који се овакви системи користе.

У трећем поглављу описана је прво PYNQ платформа, структура ове платформе, начин комуникације, такође су описане компоненте које је сачињавају. Представљени су и анализирани основни појмови везани за PYNQ, њихова сврха и начин употребе. Такође је приказан начин повезивања платформе са ZYNQ системом и затим повезивање и коришћење Jupyter Notebook-а као окружења за повезивање хардверских модула са PYNQ платформом.

У четвртном поглављу је детаљно представљена реализација хардверских модула (FIFO, AXI moduli i HLS IP модула за обраду података) коришћењем Vivada и Vitis алата за пројектовање хардверских кола. Описан је сам AXI протокол и дати су и анализирани резултати тестирања ових модула. Ово поглавље је подељено у три фазе, где се прва фаза бавила имплементацијом хардверских модула у Vivadu, друга HLS IP модула за обраду података у Vitisu, док су у трећој ове две целине биле интегрисане у један систем коришћењем Vivada.

Пето поглавље детаљно описује комуникацију имплементираног дизајна из претходног поглавља са PYNQ платформом, конфигурацију регистара и DMA контролера.

Последње поглавље представља закључак рада.

#### 4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Матеје Милића бави се употребом PYNQ пројекта, као методологије за тестирање и развој хардверских система на чипу.

Хардвер је пројектован коришћењем VHDL језика и синтезе високог нивоа (HLS). Пројектовани хардвер је интегрисан у Python програмско окружење.

У мастер раду је присутна већина елемената из пријаве теме, међутим одређени делови рада нису довољно јасно и систематично описани.

Основни доприноси рада су:

- 1) Приказ и анализа PYNQ методологија за пројектовање система на чипу;
- 2) Реализација једноставног система коришћењем различитих методологија пројектовања хардвера (VHDL и HLS)
- 3) Интеграција пројектованог модула у Jupyter Notebook програмско окружење коришћењем PYNQ пројекта;

#### 5. Закључак и предлог

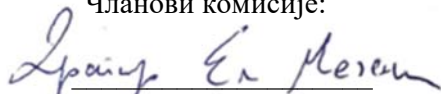
Кандидат Матеја Милић је у свом мастер раду је описао структуру и приказао начин пројектовања хардверских система коришћењем PYNQ пројекта. Мастер рад обухвата анализу пројекта, опис хардверске платформе и пример интеграције модула.

Кандидат је исказао самосталност као и иновативне елементе у решавању проблематике овог рада.

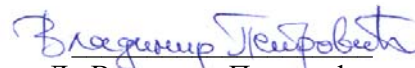
На основу изложеног, Комисија сматра да је кандидат делимично испунио захтеве мастер рада и предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Матеје Милића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 14.09.2023. године

Чланови комисије:



Др Драгомир Ел Мезени, доцент



Др Владимир Петровић, доцент