

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 27.06.2023. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Јелене Елез под насловом „Верификација дизајна АРВ тајмера употребом UVM регистарског модела”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Јелена Елез је рођена 01.12.1999. године у Фочи. Основну школу „Свети Сава” у Фочи је завршила као ученик генерације. Природно-математичку гимназију је завршила у Фочи са одличним успехом. Електротехнички факултет у Београду уписала је 2018. године, на одсеку за Електронику. Дипломирала је у јулу 2022. године са просечном оценом на испитима 9,20, на дипломском 10. Мастер академске студије на Електротехничком факултету у Београду је уписало октобра 2022. на модулу за Електронику и дигиталне системе. Положила је све испите са просечном оценом 10.

2. Извештај о студијском истраживачком раду

Кандидаткиња Јелена Елез је као припрему за израду мастер рада урадила истраживање релевантне литературе која се односи на област којој припада тема мастер рада. Конкретно, изучавани су RAL (*Register Abstraction Layer*) регистарски модел, UVM (*Universal Verification Methodology*) методологија и *SystemVerilog*, језик за опис и верификацију хардвера. Истраживањем области утврђено је да су *SystemVerilog* и UVM RAL погодни за верификацију жељеног модула. Након обављеног студијског истраживачког рада, кандидаткиња је приступила изради тезе.

3. Опис мастер рада

Мастер рад обухвата 66 страна, са укупно 61 сликом, 3 табеле и 11 референци. Рад садржи увод, 6 поглавља и закључак (укупно 8 поглавља) и списак коришћене литературе, списак скраћеница, списак слика и списак табела.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

У другом поглављу је дат је одговор на питање шта је дизајн верификација, објашњен је појам верификације, а затим је дат преглед тока верификације система на чипу.

У трећем поглављу дат је преглед актуелних језика и методологија у области верификације хардвера. Затим су кратко описани језик за опис хардвера *SystemVerilog* и методологија UVM који су коришћени у реализацији пројектног задатка овог мастер рада. Кроз хијерархијски приказ UVM класа детаљно је приказан поступак развоја универзалне верификационе компоненте, као и целог верификационог окружења.

У четвртном поглављу представљен је слој апстракције регистра (RAL – *Register Abstraction Layer*), зашто је потребан RAL и како је имплементиран у верификацији АРВ тајмера, компоненте регистарског модела, као и предности његовог коришћења у верификационом окружењу.

Пето поглавље детаљно описује АРВ протокол. Приказани су резултати симулација који показују адекватно понашање АРВ тајмера.

У оквиру шестог поглавља дат је опис процеса тестирања и дебаговања. Објашњен је појам регресије и приказани су резултати регресија у софтверском алату *Vmanger* компаније *Cadence*.

У оквиру седмог поглавља описане су врсте покривености (*Coverage*). Приказан је поступак дефинисања модела покривености, а затим су приказани резултати функционалне, кодне и укупне покривености, добијени анализама у софтверским алатима *SimVision* и *Vmanger* компаније *Cadence*.

Осмо поглавље је закључак у оквиру кога су сумирани резултати, описан значај описаног решења и наведена могућа даља унапређења пројекта.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Јелене Елез припада области функционалне верификације хардвера која је веома актуелна и представља важну фазу у пројектовању интегрисаних система на чипу. У раду је приказан поступак верификације применом UVM (*Universal Verification Methodology*) методологије на специфичном уређају као што је АРВ тајмер, чија је поузданост и ефикасност од кључне важности за функционисање дигиталних система. Имплементиран је UVM регистарски модел и регистарске секвенце за верификацију рада АРВ тајмера. Регистарски модел, као и цело верификационо окружење које је развијено у овом раду је конфигурабилано, односно код је написан тако да се може поново искористити за верификацију других уређаја који раде по АРВ протоколу. За верификацију и анализу резултата симулација су коришћени софтверски алати *SimVision* и *Vmanager* компаније *Cadence*, као и језик за опис хардвера *System Verilog*.

Основни доприноси рада су: 1) успешна верификација дизајна АРВ тајмера са имплементираним UVM регистарским моделом, 2) написани код се може користити за верификацију дигиталних система на чипу у којима се користи АРВ протокол, 3) поред тога, овај рад допринеси бољем разумевању примене UVM регистарског модела у пракси и пружа смернице за будуће пројекте у овој области.

5. Закључак и предлог


Кандидаткиња Јелена Елез је у свом мастер раду успешно пројектовала UVM регистарски модел за верификацију дизајна АРВ тајмера који се може искористити за верификацију других уређаја који раде по АРВ протоколу.

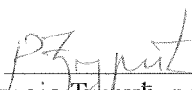
Кандидаткиња је исказала самосталност и систематичност, као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Верификација дизајна АРВ тајмера употребом UVM регистарског модела” дипл. инж. Јелене Елез прихвати као мастер рад и кандидаткињи одобри јавну усмену одбрану.

Београд, 7.09.2023. године

Чланови комисије:


Др Јелена Поповић Божовић, доцент


Др Радивоје Бурић, ванредни професор