



# УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 06.06.2023. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Михаила Марчетића под насловом „Симулатор RISC-V контролера екстерних прекида”. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Михаило Марчетић је рођен 25.12.1997. године у Београд у Србији. Завршио је основну школу "Младост" у Београд. Уписао је Девету београдску гимназију "Михаило Петровић Алас" у Београду и завршио са одличним успехом.

Електротехнички факултет уписао је 2016. године. Дипломирао је на одсеку за Електронику 2020. године са просечном оценом 8,64. Дипломски рад одбранио је у септембру 2020. године са оценом 10.

Мастер академске студије на Електротехничком факултету у Београду, на модулу за електронику уписао је у октобру 2020. године.

#### 2. Извештај о студијском истраживачком раду

Кандидат Михаило Марчетић је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област којој припада тема мастер рада. Конкретно, анализирана су постојећа решења за опслуживање захтева за прекид. Истраживањем области утврђено је да постоји неколико приступа решавању проблема, у виду софтверских и хардверских реализација.

RISC-V архитектура дефинише засебан модул одговоран за асистенцију процесорима приликом опслуживања екстерних прекида. С обзиром на нове концепте које описана архитектура уводи, уочена је потреба за едукативним алатима и садржајем који би студентима приближили поменуто област, што је искоришћено као мотивација за израду мастер рада.

#### 3. Опис мастер рада

Мастер рад обухвата 44 стране, са укупно 12 слика, 5 табела и 9 референци. Рад садржи увод, 3 поглавља и закључак (укупно 5 поглавља), списак коришћене литературе, списак слика и списак табела.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Представљен је појам RISC-V архитектуре, заједно са појмом симулатора и њиховим основним применама.

У другом поглављу је описан појам прекида. Укратко су описани основни принципи синхронизације процесора и периферних уређаја. Приложена су два приступа синхронизације, заједно са предностима које оба приступа пружају архитектури система. Описан је појам контролера прекида како би се разумела одлука одабира поменутог системског решења.

У трећем поглављу су описани појмови привилегованих модова код RISC-V архитектуре, заједно са инфраструктуром потребном за опслуживање регистрованих прекида

и изузетака. Уведен је и појам контролера екстерних прекида са детаљним описима регистарске мапе контролера као и основне функционалности коју пружа систему.

У четвртом поглављу је описана сама реализација симулатора. Представљена је подела имплементације на две основне целине, *front-end* и *back-end* део. Покривени су релевантни детаљи имплементације, са образложеним захтевима који су довели до усвајања описаних решења. Представљено је кратко упутство за коришћење које приказује моменте од интереса приликом опслуживања прекида, као и кораке за детаљну реконструкцију истог стања симулатора.

Пето поглавље је закључак у оквиру кога је описан значај истраживачког рада са кључним тачкама које практични и теоријски део рада покривају.

#### 4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Михаила Марчетића се бави имплементацијом симулатора RISC-V контролера екстерних прекида. У области архитектуре микропроцесора, овај истраживачки рад је од значаја јер пружа теоријску основу за разумевање механизма прекида, са софтверским и хардверским решењима који се примењују за њихово опслуживање. У оквиру практичног дела рада се приказује конкретно решење у виду симулираног окружења за опслуживање захтева за прекид на примеру RISC-V архитектуре.

Основни доприноси рада су: 1) теоријска анализа механизма опслуживања захтева за прекид у микроконтролерима; 2) теоријска анализа RISC-V архитектуре и подршке за опслуживање захтева за прекид; 3) софтверска реализација симулатора; 4) демонстрација коришћења симулатора ; 5) могућност наставка истраживања и даљег развоја симулатора.

#### 5. Закључак и предлог

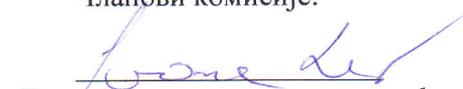
Кандидат Михаило Марчетић је у свом мастер раду успешно решио проблем реализације и имплементације симулатора RISC-V контролера екстерних прекида. Представљено решење прецизно приказује архитектуру контролера и пружа кориснику интерактивно окружење за разумевање примене контролера прекида. Предочене модификације система могу додатно да унапреде окружење симулатора у виду приказа и детаља процесорских регистара од значаја.

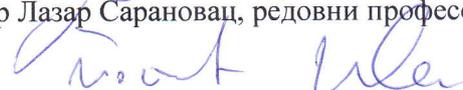
Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Михаила Марчетића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 31. 08. 2023. године

Чланови комисије:

  
др Лазар Сарановац, редовни професор

  
др Иван Поповић, редовни професор