

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 23.05.2023. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Душана Илића под насловом „Интегрисано развојно окружење за ефикасно пројектовање и тестирање VLSI система”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Душан Илић је рођен 17.07.1998. године у Пироту. Завршио је основну школу „Свети Сава” у Пироту као вуковац. Уписао је Гимназију Пирот у Пироту коју је завршио са одличним успехом. Електротехнички факултет уписао је 2017. године. Дипломирао је на одсеку за Електронику 2021. године са просечном оценом 9,67. Завршни рад одбранио је у септембру 2021. године са оценом 10. Мастер студије на Електротехничком факултету у Београду, на Модулу за Електронику и дигиталне системе уписао је у октобру 2021. године. Положио је све испите са просечном оценом 10.

2. Извештај о студијском истраживачком раду

Кандидат Душан Илић је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област пројектовања VLSI система. Конкретно, анализирана су постојећа решења и проблеми у области пројектовања VLSI система првенствено на Xilinx FPGA SoC платформама. Истраживањем области утврђено је да тренутно не постоји решење које омогућава једноставну интеграцију софтверских модела IP језгара са њиховим хардверским имплементацијама, што је посебно корисно у свим реализацијама специфичних алгоритама (нпр. у дигиталној обради сигнала, теорији информација, телекомуникацијама, и сл.). Додатно, истражена су два главна приступа развоја IP језгара у Vivado алату компаније Xilinx: Non-project Mode и Project Mode. Сагледане су предности и мане оба приступа и осмишљен је компромисни приступ развоју који је знатно супериорнији у односу на конвенционалне приступе. Истраживањем је утврђено да би се имплементацијом овог приступа, као и имплементацијом интегрисаног развојног окружења који би обухватао развој и софтверског модела и хардвера смањило време пројектовања и тестирања VLSI система. Такође овакво окружење смањује ризик од грешака које настају при контроли верзионисања пројеката у класичном коришћењу Vivado алата.

3. Опис мастер рада

Мастер рад са свим прилогима обухвата 63 стране (од чега прилози обухватају 19 страна), са укупно 8 слика, 43 табеле и 10 референци. Рад садржи увод, 2 поглавља и закључак (укупно 4 поглавља) и списак коришћене литературе. Мастер рад је написан на енглеском језику.

Прво поглавље представља увод у коме су описаны предмет и циљ рада. Представљене су најчешће фазе у пројектовању VLSI система, од софтверског модела до крајње имплементације у хардверу. Затим је описана мотивација за развој интегрисаног окружења који би пројектовање и тестирање оваквих система учинило знатно ефикаснијим. Представљена су три основна дела овог окружења – алат за организацију пројекта, библиотека за развој софтверских модела и окружење за развој хардвера.

У другом поглављу је описана структура развијеног интегрисаног развојног окружења. Сваки од три основна дела је детаљно описан. Први део система представља кориснички интерфејс у Пајтон командној линији који служи за интеграцију и одржавање структуре пројекта и метаподатака. Други део система је пакет за програмски језик Пајтон који служи за креирање софтверских модела хардвера, аутоматизацију генерисања тест вектора, брзу анализу алгоритама у аритметици са фиксним зарезом и лаку конфигурацију. Окружење за развој хардвера, као трећи део система, представља сет скрипти у Tcl језику које енкапсулирају Tcl команде Vivado алата и тиме омогућавају лакше коришћење и лаку интеграцију више блокова.

У трећем поглављу је дат потпуни пример пројектовања једног IP језгра у развијеном окружењу.

Четврто поглавље је закључак у оквиру кога је описан значај описаног интегрисаног развојног окружења и могућа даља унапређења.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Душана Илића се бави проблематиком пројектовања и тестирања VLSI система. Развојем интегрисаног развојног окружења за пројектовање и тестирање VLSI система омогућено је знатно смањење времена развоја.

Развојно окружење је успешно демонстрирано и тестирано на примеру једног IP језгра множача константом са AXI4-Stream интерфејсом. Пример пролази кроз најчешће фазе приликом пројектовања било ког IP језгра.

Основни допринос рада је алат којим се убрзава развој и тестирање VLSI система повезивањем софтверских референтних модела са хардверским модулима. Алат смањује ризик од грешака које настају при контроли верзионисања пројектата у класичном коришћењу Vivado алата и даје бољу прегледност приликом пројектовања. Развојно окружење омогућава креирање једноставне и лако читљиве структуре пројекта, флексибилност и смањену комплексност развоја.

5. Закључак и предлог

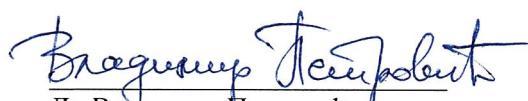
Кандидат Душан Илић је у свом мастер раду успешно решио проблем сложености пројектовања VLSI система за које је, поред RTL кода, неопходно развити и алгоритамску анализу, софтверски референтни модел, као и упоредне тестове софтверског модела и хардверских компоненти. У циљу убрзања развоја, кандидат је развио интегрисано развојно окружење за пројектовање и тестирање VLSI система на Xilinx FPGA SoC платформама, али се решење може проширити и на друге платформе.

Кандидат је исказао самосталност и систематичност у своме раду као и иновативне елементе у решавању проблематике овог мастер рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Душана Илића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 31.08.2023. године

Чланови комисије:


Др Владимир Петровић, доцент


Др Драгомир Ел Мезени, доцент