

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 07.06.2022. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Ненада Стефанова под насловом „Ефикасне хардверске реализације брзих мрежа за сортирање”. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Ненад Стефанов је рођен 02.12.1990. године у Скопљу, СР Македонија, СФРЈ. Завршио је основну школу „Лазо Ангеловски” у Скопљу. Уписао је електротехничку школу, смер за електронику и телекомуникације у Скопљу коју је завршио са одличним успехом. Факултет за електротехнику и информационе технологије при Универзитету „Св. Кирило и Методије” у Скопљу уписао је 2009. године. Дипломирао је на одсеку за Информатику и компјутерско инжењерство 2015. године са просечном оценом 8,79. Дипломске академске - мастер студије на Електротехничком факултету у Београду, на модулу Електроника и дигитални системи уписао је у октобру 2020. године. Одрадио је стручну праксу и положио све испите са просечном оценом 9,8. Тренутно је запослен као инжењер дигиталног дизајна.

#### 2. Извештај о студијском истраживачком раду

Кандидат Ненад Стефанов је као припрему за израду мастер рада урадио истраживање релевантне литературе чиме се најпре упознао са алгоритмима за сортирање, а затим и хардверским архитектурама за ефикасно сортирање. Анализирани су различити алгоритми сортирања, почев од класичних алгоритама као што су *bubble sort*, *insertion sort* и *odd-even sort*, па до алгоритама који се ефикасно могу имплементирати у хардверу као што су битоничко сортирање са спајањем (енгл. *bitonic mergesort*) и сортирање непар-пар са спајањем (енгл. *odd-even merge*), њихова комплексност израчунавања, захтеви за меморијским ресурсима, али и хардверска комплексност у виду броја компаратора потребних за реализацију. Написани су софтверски модели мрежа за сортирање у програмском језику Пајтон, а затим и VHDL имплементације мрежа за сортирање заснованих на битоничком и непар-пар сортирању са спајањем, као и модула за итеративно сортирање коришћењем класичног непар-пар алгорита.

#### 3. Опис мастер рада

Мастер рад обухвата 30 страна са укупно 29 слика, 5 табела и 14 референци. Рад садржи увод, 5 поглавља, закључак (укупно 7 поглавља) и списак коришћене литературе.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

У другом поглављу је дат опис алгоритама за сортирање релевантних за израду рада. Описани су *bubble sort*, *insertion sort*, *odd-even sort*, *bitonic mergesort* и *odd-even merge*.

У трећем поглављу су описана хардверска решења за сортирање заснована на алгоритмима описаним у другом поглављу. Урађено је поређење комплексности у виду броја компаратора потребних за хардверску реализацију.

Четврто поглавље представља детаљнији опис архитектура мрежа за сортирање у коме су описане регуларности које постоје у мрежама, а које омогућавају реализацију модула за генерички број улаза.

У петом поглављу је описана имплементација три мреже за сортирање у језику за опис хардвера VHDL. Имплементирани су две мреже за паралелно сортирање засноване на *bitonic* и *odd-even mergesort* алгоритмима и један блок за делимично паралелно сортирање заснован на класичном *odd-even* алгоритму.

Шесто поглавље покрива резултате хардверске реализације. Приказани су временски дијаграми који показују функционалну исправност имплементираних блокова. Дато је поређење хардверских ресурса и максималних учестаности рада за различит број улаза и различит број степени проточне обраде.

У седмом поглављу су дати закључак и предлози за даљи рад.

#### 4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Ненада Стефанова бави се проблематиком реализације хардверских мрежа за сортирање које не заузимају велику количину хардверских ресурса, а притом омогућавају ефикасно и брзо сортирање. Коришћењем алгоритама за сортирање који у софтверским реализацијама имају већу просторну сложеност као што су *bitonic* и *odd-even mergesort* могу се постићи ефикасније хардверске реализације јер је број потребних компаратора мањи него код класичних алгоритама.

Анализа комплексности и хардверска реализација мрежа за сортирање је успешно изведена, при чему је омогућено да се у време синтезе може подесити број улаза у мрежу. Успешно су реализоване техника проточне обраде за повећање учестаности сигнала такта и паралелизација за брзо процесирање на примеру паралелних мрежа, али и временско мултиплексирање на примеру делимично паралелне мреже засноване на класичном *odd-even* алгоритму.

Основни доприноси рада су: 1) анализа хардверске комплексности различитих алгоритама за сортирање; 2) VHDL имплементација компоненти за сортирање које се могу конфигурирати за произвољан број улаза и произвољан број степени проточне обраде пре синтезе; 3) постигнута убрзања техникама проточне обраде и паралелизације.

#### 5. Закључак и предлог

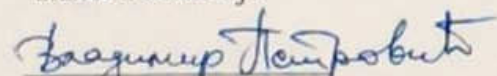
Кандидат Ненад Стефанов је у свом мастер раду успешно реализовао хардверски ефикасне брзе мреже за сортирање. Имајући у виду њихову конфигурабилност, добијени модули се могу искористити у многим применама где се захтева брзо и ефикасно сортирање у хардверу.

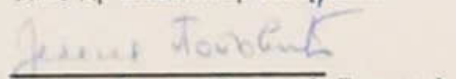
Кандидат је исказао самосталност и систематичност у своме раду.

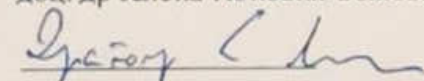
На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Ненада Стефанова прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 16.09.2022. године

Чланови комисије:

  
доц. др Владимир Петровић

  
доц. др Јелена Поповић-Божовић

  
доц. др Драгомир Ел Мезени