

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 11.07.2022. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Николе Џајковског под насловом „Хардверска имплементација кодовања опсега”. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Никола Џајковски је рођен 04.08.1996. године у Параћину. Завршио је основну школу „Стеван Јаковљевић” у Параћину као вуковац и ђак генерације. Уписао је гимназију у Параћину коју је завршио као вуковац. Током школовања освојио је неколико награда на државним и окружним такмичењима из физике и математике. Електротехнички факултет у Београду је уписао 2015. године. Дипломирао је на одсеку за Електронику 2020. године са просечном оценом 8,47. Дипломски рад је одбранио у септембру 2020. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на модулу за Електронику и дигиталне системе уписао је у октобру 2020. године. Положио је све испите са просечном оценом 10.

2. Извештај о студијском истраживачком раду

Кандидат Никола Џајковски је као припрему за израду мастер рада урадио истраживање релевантне литературе која се односи на област компресије података. Анализирани су типови техника за компресију података, а посебна пажња је посвећена техникама статистичке врсте компресовања. Из теорије информације је проучена прва Шенонова теорема која говори о теоретском максимуму степена компресије података. Утврђено је да је кодовање опсега техника за компресију података која има могућност да оствари степен компресије који се приближава поменутом теоретском максимуму. Због велике алгоритамске сложености кодера и декодера (кодека) опсега, претпостављено је да би се брзина алгоритама знатно повећала ако би се извршила имплементација алгоритама на некој FPGA плочи.

3. Опис мастер рада

Мастер рад обухвата 59 страна са укупно 23 слике, 14 табела и 23 референце. Рад садржи абстракт, увод, 3 поглавља, закључак и списак коришћене литературе.

У абстракту је укратко описана техника кодовања опсега и представљени су резултати и перформансе извршене имплементације. Такође су наведени софтверски алати који су коришћени у имплементацији алгоритама.

У уводу рада (прво поглавље) је описана мотивација и циљ техника за компресију података, а ради се о покушају да дигитални подаци заузимају што је могуће мање меморијског простора. Кодовање опсега је представљено као техника која остварује високе степене компресије по цени спорог алгоритма који се може убрзати хардверском имплементацијом на FPGA чипу.

У другом поглављу су описани типови компресије података, као и типови редундансе података чијим се уклањањем остварује компресија. Описане су технике за мерење количине информације и представљена је прва Шенонова теорема која говори о теоретском максимуму

степен компресије. На крају су описане две популарне технике из врсте статистичких метода компресовања и упоређене су њихове перформансе.

У трећем поглављу су описани алгоритми за кодовање и декодовање опсега. Процењен је број потребних аритметичких операција у процесима кодовања и декодовања секвенце симбола. Наведени су проблеми који се јављају при реализацији алгоритама као и решења за ове проблеме.

У четвртом поглављу је описана VHDL имплементација кодера и декодера за FPGA чип. Приказане су и описане шеме архитектура имплементираних модула. На крају су описани резултати и перформансе имплементираних модула. Резултати обухватају хардверско заузеће реализације, брзину рада модула и постигнут степен компресије.

У закључку рада (пето поглавље) је укратко описан реализовани кодек и представљени су главни резултати и перформансе. Наведено је која би унапређења реализације могла да се постигну у даљем раду.

4. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Николе Џајковског се бави проблематиком хардверске имплементације кодера и декодера опсега. Главни циљ хардверске имплементације је био да се постигне убрзање алгоритама за компресију у односу на софтверску реализацију. Због високог степена компресије, кодер опсега има примену у ситуацијама где је потребно да подаци заузимају што мањи меморијски простор.

Основни доприноси рада су: 1) опис алгоритама за кодовање и декодовање опсега; 2) VHDL имплементација кодека опсега за FPGA чипове.

5. Закључак и предлог

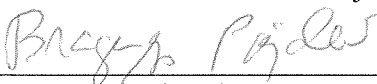
Кандидат Никола Џајковски је у свом мастер раду успешно имплементирао кодер и декодер опсега. Имплементирани дизајн остварује знатно убрзање извршавања алгорита у односу на софтверску реализацију. Кодек је способан да у исто време врши компресију и декомпресију секвенце симбола произвољне дужине.

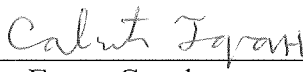
Кандидат је исказао самосталност и систематичност у своме раду.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Николе Џајковског прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 22.08.2022. године

Чланови комисије:


др Владимир Рајовић, ванредни професор


др Горан Савић, доцент