



**КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА АКАДЕМСКИХ СТУДИЈА
ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ**

Комисија за студије II степена академских студија Електротехничког факултета у Београду, на својој седници одржаној 31.08.2021. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Катарине Радиновић Капраловић под насловом „Хардверска реализација модула за потискивање шума коришћењем вејвлет трансформације“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци о кандидату

Катарина Радиновић Капраловић је рођена 27.09.1995. године у Београду. Завршила је основну школу „Деспот Стефан Лазаревић“ у Београду као носилац Вукове дипломе. Уписала је Седму београдску гимназију у Београду, природно-математички смер, 2010. године, коју је завршила са одличним успехом, као носилац Вукове дипломе и титуле ђака генерације. Током школовања освојила је више награда на државним такмичењима из српског језика и језичке културе.

Основне академске студије на Електротехничком факултету уписала је 2014. године. Током основних студија радила је као демонстратор на предметима *Лабораторијске вежбе из основа електротехнике, Архитектура и организација рачунара*, и као демонстратор при катедри за електронику. Представљала је Електротехнички факултет на 12. Међународној олимпијади из микроелектронике 2017. године у Јеревану, где је освојила 3. награду. Дипломирала је као најбољи студент на одсеку за Електронику 2018. године са просечном оценом 9,80. Дипломски рад „*Имплементација 1D вејвлет трансформације на FPGA чипу*“ одбранила је у септембру 2018. године са оценом 10.

Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за Електронику уписала је у октобру 2018. године. Положила је све испите са просечном оценом 10.

2. Опис мастер рада

Мастер рад садржи 64 стране са укупно 45 слика, 3 табеле и 7 референци. Рад садржи увод, три поглавља и закључак (укупно 5 поглавља), списак коришћене литературе и прилог.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Такође је изложен и кратак опис садржаја осталих поглавља.

У другом поглављу је дат кратак теоријски увод у појам вејвлет трансформације. Дат је кратак подсетник на Фуријеову трансформацију и основни принципи вејвлет трансформације уз осврт на начин њене имплементације у хардверу.

У трећем поглављу детаљно је описана архитектура модула за потискивање шума у сигнаlima коришћењем вејвлет трансформације. Поред дела за обраду података, пројектовани модул има два интерфејса да би се омогућило прикључење у већи систем: АРВ интерфејс за конфигурацију регистара и SRAM интерфејс за приступ меморији током пријема и слања података. На крају поглавља су објашњени контрола тока операција унутар пројектованог модула и комплетна путања података.

У четвртном поглављу приказани су резултати тестирања дизајнираног хардверског модула у посебном верификационом окружењу писаном у SystemVerilog језику. Резултати

потискивања шума су упоређени са резултатима истог алгоритма имплементираног софтверски у Matlab програму. Успешност резултата показана је вредностима односа сигнал-шум и варијансе шума на тест сигнаlima.

Пето поглавље је закључак, у коме је дато завршно разматрање реализованог дизајна. Анализиране су могућности за проширење и унапређење реализованог модула.

3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Катарине Радиновић Капраловић се бави реализацијом хардверског модула за потискивање шума у сигнаlima коришћењем вејвлет трансформације у реалном времену. Кроз мастер рад детаљно је приказана архитектура реализованог модула. Модул се може конфигурисати преко регистара коришћењем АРВ интерфејса, а подацима за обраду се приступа преко SRAM меморије. За опис модула на регистарском нивоу коришћен је Verilog језик. Модул је тестиран у посебном верификационом окружењу писаном у SystemVerilog језику. Показано је да се коришћењем реализованог модула у значајној мери смањује варијанса шума код сигнала.

Најважнији допринос рада представља успешна RTL реализација модула чија је намена потискивање шума у сигнаlima у реалном времену, коришћењем вејвлет трансформације. Развијени модул се може искористити као део већег система за обраду сигнала са процесорском и меморијском јединицом.

4. Закључак и предлог

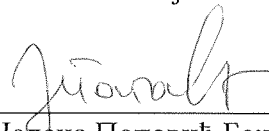
Кандидаткиња Катарина Радиновић Капраловић је у свом мастер раду успешно реализовала хардверски модул чија је намена потискивање шума у сигнаlima у реалном времену, коришћењем вејвлет трансформације.

Кандидаткиња је исказала изузетну самосталност, систематичност и креативност у решавању проблематике овог рада.

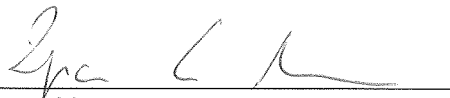
На основу изложеног, предлагемо Комисији за студије II степена Електротехничког факултета у Београду да рад „Хардверска реализација модула за потискивање шума коришћењем вејвлет трансформације“ дипл. инж. Катарине Радиновић Капраловић прихвати као мастер рад и кандидаткињи одобри јавну усмену одбрану.

У Београду, 16.09.2021.

Чланови комисије:



др Јелена Поповић Божовић, доцент



др Драгомир Ел Мезени, доцент