

КОМИСИЈА ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 8.06.2021. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Вање Матијашевић Савићевић под насловом „Развој универзалне верификационе компоненте за мост између Wishbone и UART интерфејса“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци о кандидату

Вања Матијашевић Савићевић је рођена 18.03.1989. године у Бањој Луци. Завршила је основну школу "Алекса Шантић" у Бањој Луци, као носилац Вукове дипломе. Уписала је Гимназију у Бањој Луци коју је завршила са одличним успехом. Дипломирала је на Електротехничком Факултету у Бањој Луци, на одсеку за Електронику 2017. године са просечном оценом 7,90. Дипломски рад одбранила је у октобру 2017. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику уписала је у новембру 2019. године.

2. Опис мастер рада

Мастер рад кандидата садржи 83 стране. Рад садржи девет поглавља, списак литературе са десет референци.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

У другом поглављу дат је кратак опис процеса дигиталног дизајна и његове повезаности са процесом верификације.

Треће поглавље се бави значајем верификације, са посебним нагласком на функционалну верификацију и њене предности.

У четвртм поглављу представљен је System Verilog језик за верификацију, који се базира на објектно оријентисаној методологији. Дате су основне карактеристике и предности ове методологије, а затим и карактеристичне особине самог језика за верификацију.

Пето поглавље се односи на универзалну верификациону методологију (UVM), која тренутно представља стандард приликом креирања једног верификационог окружења. Дата је типична структура окружења и верификационих компонената. Описани су кораци који треба да се прате приликом креирања окружења, компоненте окружења, њихова међусобна повезаност и интеграција у верификационо окружење. Такође, објашњене су и симулационе фазе, које UVM користи као одређен редослед извршавања.

У шестом поглављу приказана је архитектура и опис функционалности уређаја који се верификује, начин на који су интерфејси интегрисани у дизајн, као и преглед регистара датог модула. Приказане су карактеристике Wishbone и UART протокола и описани сигнали које дефинишу ови протоколи, а користе се у дизајну.

Седмо поглавље се бави развојем верификационог окружења и резултатима тестирања модула. Представљена је комплетна хијерархија окружења, а детаљно објашњена верификација самих протокола и њихова интеграција у верификационо окружење. Приказани су резултати

симулација за протоколе, као и креирање компонената од значаја. Објашњен је начин формирања верификационог плана, као једног од најбитнијих корака приликом процеса верификације.

Осмо поглавље односи се на имплементацију и реализацију регистарског модела и регистарских секвенци, као и на сам процес верификације уређаја који се испитује. Приказани су резултати тестирања функционалности UART Master модула, са нагласком на неколико уочених грешака у току тестирања.

Девето поглавље је закључак и у њему је наведен значај развоја верификационе компоненте и саме верификације.

3. Анализа рада са кључним резултатима

У свом мастер раду дипл. инж. Вања Матијашевић Савићевић се бави пројектовањем универзалне верификационе компоненте за мост између Wishbone и UART интерфејса. За имплементацију верификационе компоненте је коришћена UVM (*Universal Verification Methodology*) методологија и SystemVerilog језик који данас представљају индустријски стандард у овој области. У раду је имплементиран регистарски модел и регистарске секвенце за поменути компоненту. Имајући у виду да су интерфејси многих блокова унутар неког дигиталног система на чипу углавном стандардизовани, могуће је изнова користити исте верификационе компоненте, па треба водити рачуна да њихов код буде конфигурабилан. То је случај са верификационом компонентом која је развијена у овом раду, која користи Wishbone и UART протокол, па се може конфигурисати према потребама других окружења која користе поменуте протоколе. Имплементирана компонента је тестирана коришћењем софтверског пакета компаније Cadence.

Главни допринос рада је успешна реализација универзалне верификационе компоненте за мост између Wishbone и UART интерфејса, са имплементираним регистарским моделом и регистарским секвенцама. Развијена компонента је конфигурабилна и написани код се може користити за верификацију било ког система у коме се користе поменути протоколи.

4. Закључак и предлог

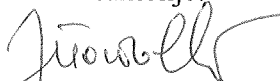
Кандидаткиња Вања Матијашевић Савићевић је у свом мастер раду пројектовала и успешно имплементирала верификациону компоненту за мост између Wishbone и UART интерфејса.

Кандидаткиња је исказала самосталност у своме раду, као и иновативне елементе у решавању ове проблематике.

На основу горе наведеног Комисија предлаже Наставно-научном већу Електротехничког факултета у Београду да прихвати рад „Развој универзалне верификационе компоненте за мост између Wishbone и UART интерфејса“ дипл. инж. Вање Матијашевић Савићевић као мастер рад и одобри јавну усмену одбрану.

У Београду, 8.09.2021.

Чланови комисије:


др Јелена Поповић-Божовић, доц.


др Радивоје Ђурић, ванредни проф.