



# УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 01.09.2020. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Немање Филиповића под насловом „Имплементација еквализатора високих перформанси заснованог на ВСЈР алгоритму“. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Немања Филиповић је рођен 07.02.1996. године у Београду. Завршио је основну школу "Вук Караџић" у Београду као вуковац. Уписао је XIII београдску гимназију у Београду коју је завршио са одличним успехом. Током школовања освајао је награде на државним такмичењима из физике и информатике. Електротехнички факултет уписао је 2015. године. Дипломирао је на Одсеку за електронику 2019. године са просечном оценом 9,33. Дипломски рад одбранио је у јулу 2019. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику уписао је у октобру 2019. године. Положио је све испите са просечном оценом 10.

#### 2. Опис мастер рада

Мастер рад обухвата 50 страна, са укупно 30 слика, 3 табеле и 23 референце. Рад садржи увод, 5 поглавља и закључак (укупно 7 поглавља), списак коришћене литературе, списак скраћеница, списак слика и списак табела. Мастер рад је написан на енглеском језику.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Представљен је ВСЈР алгоритам у оригиналном облику уз објашњење примене алгоритма приликом еквализације. Приказане су апроксимације које ће бити коришћене у остатку тезе за повећање ефикасности.

У другом поглављу је детаљно представљен ВСЈР алгоритам уз интерпретацију корака у извршавању алгоритма. Уведен је сет метрика који се користи у сврху еквализације коришћењем ВСЈР и сродних алгоритама. Изведен је егзактни оптимални алгоритам еквализације за специјални случај модулације која је коришћена у овој тези.

У трећем поглављу су детаљно приказане све апроксимације и поједностављења алгоритма изведеног у другом поглављу у сврху хардверске имплементације. Посебан осврт је начињен на могући утицај који свака приказана техника може имати на перформансе.

У четвртм поглављу је представљена хардверска архитектура еквализатора. Хардверска архитектура која омогућава ефикасну имплементацију у хардверу представља главни допринос тезе и омогућава постизање високих перформанси. Детаљно је приказана целокупна организација, уз анализу сваког подмодула. У оквиру овог поглавља представљена је и процедура одређивања параметара модела са фиксним зарезом уз приказ резултата коришћених симулација.

У оквиру петог поглавља је представљен поступак имплементације, верификације и тестирања. Приказана је детаљна архитектура система за тестирање перформанси еквализатора на хардверу уз симулатор канала са интерсимболском интерференцијом.

Приказане су специфичности имплементације еквализатора које нису представљене у поглављу четири.

У шестом поглављу су приказане измерене ефикасности коришћења хардвера и остварени протоци за различите конфигурације дизајниране архитектуре. Приказане су симулиране SNR перформансе за различите параметре архитектуре како би се анализирао утицај модификација уписаних у поглављу три на процес еквализације.

Седмо поглавље је закључак у оквиру кога је резимиран утицај осмишљене архитектуре на значајно повећање ефикасности. Описано је на који начин се имплементирани еквализатор може користити у већим системима и на основу резултата имплементације су изведени закључци о имплементираном дизајну. Дати су предлози за даље истраживање на овом пољу.

### 3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Немање Филиповића се бави проблематиком ефикасне хардверске имплементације еквализатора. Предложена архитектура еквализатора омогућава значајно повећање ефикасности коришћења хардвера и протока уз незнатни утицај на SNR перформансе.

Еквализатор је успешно имплементиран и тестиран на FPGA. Поклапање са софтверским моделом је потврђено у процесу верификације у симулацији и тестирања на хардверу.

Основни доприноси рада су: 1) предложена нова архитектура еквализатора; 2) анализа утицаја предложених апроксимација на перформансе; 3) имплементирани реконфигурабилни еквализатор који се може без измена користити у комерцијалним телекомуникационим системима.

### 4. Закључак и предлог

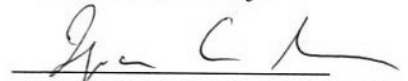
Кандидат Немања Филиповић је у свом мастер раду успешно решио проблем ефикасне хардверске имплементације еквализатора базираног на BCJR алгоритму. Еквализатор омогућава пријем симбола са канала са интерсимболском интерференцијом при високим протоцима. Имплементација је извршена у програмском језику VHDL, док је софтверски модел имплементиран у програмским језицима C++ и Python.

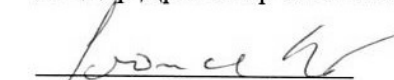
Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Немање Филиповића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 11.09.2020. године

Чланови комисије:

  
доц. др Драгомир Ел Мезени

  
проф. др Лазар Сарановац