



УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 14.07.2020. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Јоване Јанић под насловом „Преглед SystemVerilog UVM библиотеке класа са применом у верификацији дигиталних интегрисаних кола“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Јована Јанић је рођена 12.07.1995. године у Београду. Завршила је основну школу „Јелица Миловановић“ у Сопоту као носилац Вукове дипломе. Уписала је Гимназију у Младеновцу коју је завршила такође као вуковац. Електротехнички факултет је уписала 2014. године. Дипломирала је на одсеку за Сигнале и системе 2019. године са просечном оценом 7.81. Дипломски рад на тему „Детекција лица употребом OpenFace библиотеке“ под менторством доцента др Александре Марјановић, одбранила је у септембру 2019. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за Сигнале и системе уписала је у октобру 2019. године. Положила је све испите са просечном оценом 9.00.

2. Опис мастер рада

Мастер рад обухвата 86 страна, са укупно 25 слика, 2 табеле, 11 прилога и 18 референци. Рад садржи увод, 4 поглавља, дискусију и закључак (укупно 7 поглавља) списак коришћене литературе и прилог.

Прво поглавље представља увод у коме су описани предмет и циљ мастер рада. Дат је кратак осврт на актуелне језике и методе за верификацију. Представљен је SystemVerilog језик за моделовање хардвера и верификацију, UVM (*Universal Verification Methodology*) методологија која је постала индустријски стандард и која има најширу примену у верификацији. Посебан осврт је дат на алат QuestaSim који је коришћен у овом мастер раду.

У другом поглављу је дат опис синхроног паралелног APB протокола и асинхроног серијског UART протокола, као и њихове основне карактеристике и начини функционисања. Посебан значај је дат трансферима APB протокола, структури податка UART протокола и предностима и манана оба протокола.

У трећем поглављу је детаљно представљена организација UVM методологије. Направљен је преглед UVM фабрике, UVM фаза, конфигурационе базе података и UVM хијерархије. Дат је и опсежан опис свих метода које се користе за манипулисање над UVM компонентама и UVM објектима.

Четврто поглавље детаљно описује UVM компоненте. Од посебног значаја су концизно објашњене и искодоване статичке класе – UVM монитор, UVM драјвер, UVM секвенцер и UVM скорборд које су илустроване на примерима APB и UART протокола и које су приказане у прилогу мастер рада.

У оквиру петог поглавља су описани UVM објекти. Истакнуте класе од посебног значаја су динамичке класе које су кодоване и објашњене – конфигурација верификационих компоненти, тј. конфигурациони објекти, UVM трансакције и UVM секвенце. Све наведене

класе су илустроване на примерима APB и UART протокола и приказане су у прилогу мастер рада.

Шесто поглавље је дискусија у оквиру којег је дат посебан осврт на могућности коришћења статичких и динамичких класа верификационих компоненти. Направљена је паралела између класа за синхорни паралелни APB протокол и асинхорни серијски UART протокол и сумиран је значај свих кодованих класа.

Седмо поглавље представља закључак мастер рада и његове доприносе.

3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Јоване Јанић се бави проблематиком функционалне верификације дигиталних интегрисаних кола применом SystemVerilog UVM библиотеке класа. Пројектоване су верификационе компоненте за паралелни APB и серијски UART протокол. Приликом развоја верификационих компоненти се водило рачуна о могућностима поновног коришћења и реконфигурабилности истих за потенцијалне примене у верификацији на нивоу система, односно верификацији нових генерација уређаја. Посебан осврт је дат на примере класа за мониторе и драјвере APB и UART протокола.

Основни доприноси рада су:

- 1) Преглед теоријских аспеката организације UVM методологије са посебним нагласком на UVM фазе и методе за управљање над UVM компонентама и објектима.
- 2) Примерима илустроване статичке и динамичке класе паралелног APB протокола и серијског UART протокола на којима је објашњена идеја поновне употребе и реконфигурабилности UVM методологије са циљевима прављења верификационих компоненти.
- 3) Могућност наставка даље анализе и развоја верификационих компоненти у складу са UVM методологијом.

4. Закључак и предлог

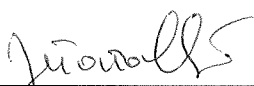
Кандидаткиња Јована Јанић је у свом мастер раду успешно решила проблем пројектовања верификационих компоненти за APB и UART протокол и дала детаљну анализу статичких и динамичких класа у складу са UVM методологијом. Предложена решења могу значајно да унапреде начин кодовања и примене верификационих компоненти које се даље повезују у верификационо окружење уређаја са циљем да се убрза процес верификације.

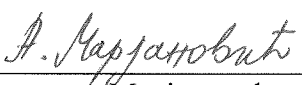
Кандидаткиња је исказала самосталност и систематичност у својем поступку, као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад под насловом „Преглед SystemVerilog UVM библиотеке класа са применом у верификацији дигиталних интегрисаних кола“ дипл. инж. Јоване Јанић прихвати као мастер рад и кандидаткињи одобри јавну усмену одбрану.

Београд, 4. 09. 2020. године

Чланови комисије:


Др Јелена Поповић-Божовић, доцент


Др Александра Марјановић, доцент