



# УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 03.09.2015. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Богдана Стамболовић под насловом „Имплементација дигиталне фазно синхронизоване петље и њена примена у бинарној FSK демодулацији“. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Богдана Стамболовић је рођена 22.06.1993. године у Београду. Завршила је првих шест разреда основне школе "Деспот Стефан Лазаревић" у Београду, а затим је уписала седми разред при Математичкој гимназији у Београду, огледна одељења за надарене ученике. Своје основно школовање завршила је са Вуковом дипломом. Уписала је Математичку гимназију 2008. године, коју је такође завршила са Вуковом дипломом. Током школовања освојила је више награда на државним такмичењима из физике. Електротехнички факултет уписала је 2012. године. Дипломирала је на одсеку за Електронику 2016. године са просечном оценом 9,26. Дипломски рад одбранила је у септембру 2016. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за електронику уписала је у октобру 2016. године. Положила је испите са просечном оценом 9,40. Током основних и мастер студија радила је као демонстратор на Лабораторијским вежбама из основа електротехнике, током 2016. и 2017. године и као главни демонстратор. Од априла 2017. године до априла 2018. године радила је у Институту Михајло Пупин. Од октобра 2018. године ради на Рачунарском факултету Универзитета Унион у Београду као сарадник у настави.

#### 2. Опис мастер рада

Мастер рад обухвата 42 стране, са укупно 23 слике, 1 табелом и 7 референци. Рад садржи увод, 4 поглавља и закључак (укупно 6 поглавља) и списак коришћене литературе.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Изложена је мотивација за пројектовање потпуно дигиталног синтетизабилног PLL (*Phase Locked Loop*) модула.

У другом поглављу је темељно изложена теоретска основа фазно синхронизованих петљи у првом делу, покривајући њихову конструкцију у различитим облицима, преносне функције и услове стабилности, док је у другом делу наведен историјат примене фазно закључаних петљи у електронским и телекомуникационим системима.

У трећем поглављу је дат кратак осврт на принцип рада и терминологију везану за FSK (*Frequency Shift Keying*) модулацију.

Четврто поглавље подробније излаже опис хардвера користећи HDL (*Hardware Description Languages*). Такође обрађује конструкцију програмабилних CPLD (*Complex Programmable Logic Device*) модула коришћених за синтезу реконфигурабилног хардвера.

У оквиру првог дела петог поглавља је описан угледни хардвер који реализује DPLL (*Digital Phase Locked Loop*) функцију, његове преносне карактеристике и ограничења. У другом делу петог поглавља описана је конкретна реализација DPLL модула коришћењем CPLD чипа и синтезом помоћу VHDL језика. Описан је процес подешавања параметара DPLL

модула и интеграције у систем који омогућава FSK демодулацију. На крају овог поглавља дати су примери реализације FSK модулације, као заузетости хардверских ресурса приликом синтезе на датом CPLD чипу.

Шесто поглавље је закључак у оквиру кога је описан значај имплементираног решења и могућа даља унапређења. Резимирани су резултати рада, изазови приликом пројектовања и постављени теоријски темељи за практично поређење пројектованог процесора и претходно реализованих PLL модула, као и даља истраживања могућности примене систематизацијом мерења карактеристика услед варијације параметара пројектованог модула.

### 3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Богдане Стамболовић се бави проблематиком пројектовања реконфигурабилне синтетизабилне дигиталне фазно синхронизоване петље, а нарочито варијанте са минималном потрошњом хардверских ресурса. Фазно синхронизоване петље налазе бројне примене у комуникацији и обради сигнала, а посебну предност представља дизајн мале површине због могућности примене у интегрисаним системима, као и у системима са хардверски програмабилним компонентама.

PLL модул је пројектован за имплементацију оквиру система на CPLD чипу. Ово омогућава даљи несметани рад на развоју овог система.

Основни доприноси рада су: 1) приказ и методологија пројектовања фазно синхронизоване петље; 2) примена пројектованог модула у комуникационим системима за FSK демодулацију уз описану могућност примене и у другим видовима демодулације (фазна модулација итд); 3) могућност наставка рада на развоју овог модула.

### 4. Закључак и предлог


Кандидат Богдана Стамболовић је у свом мастер раду успешно решила проблем пројектовања потпуно дигиталне фазно синхронизоване петље и њене примене у демодулацији FSK сигнала. Предложена побољшања могу значајно да унапреде могућности примене пројектованог модула.

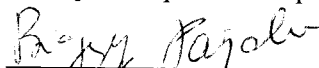
Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Богдане Стамболовић прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 11. 09. 2019. године

Чланови комисије:

  
Др Предраг Пејовић, редовни професор

  
Др Владимир Рајовић, доцент