

# KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 28.08.2018. godine imenovala nas je u Komisiju za pregled i ocenu master rada dipl. inž. Marije Petrović pod naslovom „Implementacija konfigurabilnog FFT bloka na FPGA platformi korišćenjem *Chisel* jezika“. Nakon pregleda materijala Komisija podnosi sledeći

## IZVEŠTAJ

### 1. Biografski podaci o kandidatu

Marija Petrović je rođena 07.08.1994. godine u Užicu. Završila je Gimnaziju „Sveti Sava“ u Požegi kao nosilac Vukove diplome. Elektrotehnički fakultet u Beogradu upisala je 2013. godine. Diplomirala je na odseku za Elektroniku 2017. godine sa prosečnom ocenom 8,75. Diplomski rad pod nazivom „Implementacija pametnog senzora za brojanje koraka na mikrokontroleru i FPGA čipu“ odbranila je u septembru 2017. godine sa ocenom 10. Master akademske studije na Elektrotehničkom fakultetu u Beogradu upisala je u oktobru 2017. godine na odseku za Elektroniku. Položila je sve ispite sa prosečnom ocenom 9,80.

### 2. Opis master rada

Master rad kandidata sadrži 45 strana zajedno sa slikama i tabelama. Rad sadrži 8 poglavlja i spisak literature sa 16 referenci.

Prvo poglavlje predstavlja uvod u kome su opisani predmet i cilj rada. Opisan je značaj uvođenja novog jezika za opis hardvera *Chisel*-a (*Constructing Hardware in Scala Embedded Language*), naveden je algoritam koji je korišćen za izračunavanje Brze Furijeove transformacije i dat kratak pregled narednih poglavlja u radu.

Drugo poglavlje sadrži detaljan opis Cooley-Tukey radix-2 DIF FFT algoritma koji je korišćen pri realizaciji konfigurabilnog FFT bloka.

U trećem poglavlju je prikazana realizacija konfigurabilnog FFT bloka na nivou blok šema i mašina stanja uz pomoć kojih se omogućava kontrola FFT bloka. Realizovana je *pipeline* obrada podataka da bi se obezbedio veći protok podataka u sistemu.

Četvrto poglavlje sadrži opis razvojnog okruženja i procesa kompajliranja *Chisel* koda. Prikazani su korišćeni alati i date su neke opštne karakteristike *Scala* i *Chisel* jezika.

U petom poglavlju su prvo prikazani osnovni koncepti *Chisel* jezika. Kroz primer realizacije FFT bloka opisani su tipovi podataka, demonstriran je način realizacije kombinacionih i sekvenčijalnih kola, kao i definisanje modula u *Chisel* jeziku. Opisan je načininstanciranja RAM i ROM memorija. Takođe, uporedo sa demonstracijom prethodno pomenutih ključnih elemenata za dizajn hardvera, prikazan je i odgovarajući *Verilog* kod koji se generiše pomoću *Chisel* kompjajlera. Dat je osvrt na *blackbox* module i na korišćenje više različitih signala takta u dizajnu. Prikazan je značaj upotrebe funkcionalnog programiranja prilikom projektovanja hardvera u *Chisel* jeziku. Na kraju je predstavljen način testiranja komponenti korišćenjem *Scala* simulacionog okruženja.

U šestom poglavlju su prikazani rezultati simulacija projektovanog konfigurabilnog FFT bloka. Kroz vremenske dijagrame je pokazana kontrola FFT bloka, način realizacije leptir operacija, kao i funkcionalnost *ping-pong* RAM memorije korišćene prilikom projektovanja.

Sedmo poglavlje sadrži rezultate FPGA implementacije konfigurabilnog FFT bloka sa *pipeline* obradom podataka na Spartan 7 razvojnoj ploči. Diskutovane su razlike između rezultata izračunavanja FFT u hardveru i u softverskom paketu MATLAB.

Osmo poglavlje predstavlja zaključak u kome su sumirani rezultati master rada i dati predlozi za poboljšanje projektovanog sistema.

### 3. Analiza rada sa ključnim rezultatima

Master rad dipl. inž. Marije Petrović se bavi realizacijom konfigurabilnog FFT bloka korišćenjem *Chisel* jezika za opis hardvera. U radu je uspešno implementiran Cooley-Tukey radix-2 DIF FFT algoritam na Spartan 7 FPGA platformi za broj tačaka koji je stepen broja 2, maksimalno 1024 tačke. Realizovana je *pipeline* obrada podataka da bi se obezbedio veći protok podataka u sistemu. Kroz prikaz dizajna projektovanog sistema predstavljeni su osnovni koncepti *Chisel* jezika. Korišćenjem principa objektno orijentisanog i funkcionalnog programiranja, apstraktnih i parametrizovanih tipova podataka *Chisel* jezik omogućava jednostavnije dizajniranje hardvera, efikasno generisanje parametrizovanih hardverskih generatora i daje mogućnost jednostavnijih simulacija korišćenjem *Scala* simulacionog okruženja. Na kraju rada su date ideje za poboljšanje performansi projektovanog FFT bloka.

Najvažniji doprinos ovog master rada je primena jezika za opis hardvera *Chisel*-a koji ima brojne prednosti u odnosu na tradicionalne jezike poput VHDL-a i Veriloga, a koji se nedavno pojavio. Drugi važan rezultat je uspešna realizacija konfigurabilnog FFT bloka na FPGA platformi, sa *pipeline* obradom podataka, koji se može koristiti u radarskim i sličnim sistemima gde je značajan veliki protok podataka.

### 4. Zaključak i predlog

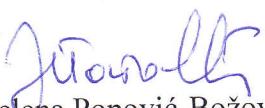
Kandidatkinja Marija Petrović je u svom radu uspešno projektovala konfigurabilni FFT blok korišćenjem *Chisel* jezika za opis hardvera i realizovala ga na FPGA platformi. Primenom *pipeline* obrade podataka postignut je veliki protok podataka, sa ciljem da se projektovani FFT blok integrise u radarski sistem.

Kandidatkinja je iskazala izuzetnu samostalnost i sistematičnost u svom radu, kao i inovativne ideje u rešavanju problematike ovog rada.

Na osnovu gore navedenog komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad "Implementacija konfigurabilnog FFT bloka na FPGA platformi korišćenjem *Chisel* jezika" dipl. inž. Marije Petrović kao master rad i odobri javnu i usmenu odbranu.

U Beogradu, 17.09.2018.

Članovi komisije:

  
dr Jelena Popović-Božović, docent

  
dr Lazar Saranovac, redovni profesor