

KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 28.08.2018. godine imenovala nas je u Komisiju za pregled i ocenu master rada dipl. inž. Jelene Vujić pod naslovom „Razvoj univerzalne verifikacione komponente za most između Wishbone i I2C interfejsa u Specman-u“. Nakon pregleda materijala Komisija podnosi sledeći

IZVEŠTAJ

1. Biografski podaci o kandidatu

Jelena Vujić je rođena 5. decembra 1993. godine u Valjevu. Završila je gimnaziju u Valjevu kao nosilac Vukove diplome. Tokom osnovne i srednje škole učestvovala je na brojnim takmičenjima iz fizike i matematike. Elektrotehnički fakultet u Beogradu upisala je 2012. godine. Diplomirala je na odseku za Elektroniku 2016. godine sa prosečnom ocenom 9.19. Master studije na Elektrotehničkom fakultetu u Beogradu je upisala 2016. godine na odseku za Elektroniku. Položila je sve ispite sa prosečnom ocenom 9.80.

2. Opis master rada

Master rad kandidatkinje sadrži 55 strana. Rad sadrži 7 poglavlja i spisak literature sa 12 referenci.

Prvo poglavlje predstavlja uvod u kome su opisani predmet i cilj rada.

U drugom poglavlju ukratko su opisani procesi dizajna i verifikacije složenih integrisanih kola i istaknut je značaj razvijanja komponenti za ponovno korišćenje. Pored toga dat je pregled programskih jezika i alata koji su korišćeni u radu.

U trećem poglavlju akcenat je na postupku verifikacije u Specman-u. Predstavljene su glavne osobine *e* jezika, kao jedinog jezika stvorenog samo za verifikaciju.

U četvrtom poglavlju detaljno su opisani korišćeni interfejsi, Wishbone i I2C. Zatim je izložena arhitektura i funkcionalnost korišćenog DUT-a (*Device Under Test*), komponente koja predstavlja most između paralelnog – Wishbone i serijskog – I2C interfejsa. Originalni naziv verifikovanog DUT-a je I2C Master Core, a dizajn je napisan u Verilogu.

U petom poglavlju predstavljene su karakteristike UVM (*Universal Verification Methodology*) metodologije za *e* jezik. Opisan je način organizacije i sadržaj univerzalne verifikacione komponente. Objasnjena je razlika između interfejsnih i modul verifikacionih komponenti. Opisana je svrha i uloga paketa (*vr_ad* paket) za modelovanje registara i memorije u UVM-u. Izneti su osnovni koraci koji su neophodni za kreiranje i integraciju registarskog modela na primeru registara DUT-a. Objasnjene su samo neke od naprednih tehnika, koje obezbeđuju indirektni pristup registrima i predstavljen problem registara blizanaca – *twin regs*.

U šestom poglavlju opisan je način na koji su kreirana verifikaciona okruženja, postupno počevši od projektovanja transakcije. Objasnjen je način kreiranja i značaj verifikacionog plana. Zatim je prvo je testiran Wishbone interfejs, povezivanjem razvijanih master i slave agenta u okruženje. Izloženi su rezultati simulacija za sve tipove transfera na Wishbone magistrali. Nakon uspešne realizacije Wishbone okruženja, razvijeno je okruženje za verifikaciju I2C interfejsa. Rezultati simulacija povezanih master i slave

agenta pokazuju da su sve osnovne funkcionalnosti testirane. Na kraju, razvijeno je glavno okruženje za most između ova dva interfejsa. Razvijeni master agent Wishbone interfejsa i slave agent I2C, zajedno sa kreiranim registarkim modelom integrисани su u verifikaciono okruženje. Nakon povezivanja u skladu sa UVM metodologijom, razvijene su potrebne registarske sekvene i virtuelna sekvenca koja sinhronizuje sve sekvene. Na prikazanim rezultatima simulacija vidi se da je konfiguracija registara preko Wishbone interfejsa, obezbedila transfere na I2C interfejsu.

U sedmom poglavlju je dat zaključak. Analizirane su mogućnosti za proširenje i unapređenje projektovanog verifikacionog okruženja.

3. Analiza rada sa ključnim rezultatima

Master rad dipl. inž. Jelene Vujić se bavi realizacijom verifikacionog okruženja za komponentu koja služi kao most između Wishbone i I2C interfejsa. Korišćena je Univerzalna verifikaciona metodologija za e jezik, jedini jezik napravljen namenski za verifikaciju. Pored projektovanja samih verifikacionih komponenti za pojedinačne interfejse i testiranja njihovog rada povezivanjem agenata, značajan doprinos ovog rada predstavlja modelovanje registara. UVM registarski modeli projektovani su u *Specman-u* i uspešno je implementirana njihova integracija u sistem. Na kraju su analizirane mogućnosti za proširenje i unapređenje projektovanog verifikacionog okruženja.

Najvažniji doprinos master rada predstavlja uspešno realizovano verifikaciono okruženje za komponentu koja služi kao most između Wishbone i I2C interfejsa, zajedno sa implementiranim registarskim modelom i registarskim sekvencama. Razvijeno okruženje se lako, uz minimalne izmene, može koristiti kao deo nekog većeg sistema.

4. Zaključak i predlog

Kandidatkinja Jelena Vujić je u svom radu uspešno realizovala verifikaciono okruženje za komponentu koja služi kao most između Wishbone i I2C interfejsa koje se uz odgovarajuće izmene može koristiti za brzu, efikasnu i pouzdanu verifikaciju digitalnih sistema različite namene.

Na osnovu gore navedenog Komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad „Razvoj univerzalne verifikacione komponente za most između Wishbone i I2C interfejsa u Specman-u“ dipl. inž. Jelene Vujić kao master rad i odobri javnu usmenu odbranu.

U Beogradu, 7.09.2018.

Članovi komisije:


dr Jelena Popović-Božović, doc.


dr Radivoje Đurić; doc