



# УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 05.09.2017. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Луке Одабашића под насловом „Хардверска имплементација SIFT алгоритма са компонентама еволуирајућег хардвера“. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Лука Одабашић је рођен 23.12.1993. године у Београду. Завршио је Математичку гимназију у Београду са одличним успехом. Електротехнички факултет у Београду уписао је 2012. године, на одсеку за Електронику. Дипломирао је 2016. године са просечном оценом на испитима 9,37. Дипломски рад одбранио је у септембру 2016. године са оценом 10. Мастер студије на Електротехничком факултету у Београду је уписао октобра 2016. године на Модулу за Електронику. Положио је све испите са просечном оценом 9,60.

#### 2. Опис мастер рада

Мастер рад обухвата 79 страна, са укупно 80 слика, 3 табеле и 42 референце. Рад садржи увод, пет поглавља и закључак (укупно 7 поглавља), списак коришћене литературе и списак слика и табела. Рад је написан на енглеском језику, а додати су насловна страна и сажетак на српском језику.

Прво поглавље представља увод у коме су описаны предмет и циљ рада. Поменут је SIFT (*Scale-Invariant Feature Transform*) алгоритам, као и други алгоритми који се могу користити за детекцију и опис детаља у слици. Затим је описана идеја коришћења хардвера који има способност да се прилагоди различитим условима рада, тј. да “еволуира”.

У другом поглављу је дат детаљан опис SIFT алгоритма. Описаны су различити начини реализације одређених корака у том алгоритму.

У трећем поглављу је детаљно представљено неколико различитих алгоритама који се користе за детекцију и опис детаља у слици.

Четврто поглавље описује методе за евалуацију и упаривање дескриптора.

У оквиру петог поглавља су описаны принципи рада еволуирајућег хардвера са *systolic array* и *cartesian genetic programming* конфигурацијама. Дат је пример архитектуре за примену у дигиталној обради слике за отклањање различитих типова шума. Описан је реконфигурабилни део хардвера и модификације које су извршене ради постизања бољих перформанси. Затим је описан еволутивни алгоритам који управља реконфигурабилним хардвером и дато је поређење различитих стратегија које могу да се користе за еволуцију. На крају су укратко представљени резултати анализе рада система у случају када дође до тренутног или трајног квара у еволуирајућем хардверу.

У шестом поглављу је прво дат опис имплементације алгоритма у софтверу са одређеним варијацијама, као што су: спајање октава и скала у скалираном простору; задржавање димензија слике током преласка у следећу октаву; ротирање локалног суседства ради креирања независности у односу на ротацију. Дати су резултати свих тестова и мерења извршених током пројектовања, на основу којих је извршена имплементација система у хардверу, описана у другом делу поглавља.

Седмо поглавље је закључак у оквиру кога је наглашен значај описаног решења и предложена су даља могућа унапређења. Резимирани су резултати рада и ограничења која су постојала приликом пројектовања система.

### 3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Луке Одабашића се бави проблематиком FPGA имплементације SIFT алгоритма за детекцију детаља у слици, користећи еволуирајући хардвер. Идеја је била да се дизајнира систем за детекцију и опис детаља у слици, који би могао да се користи у апликацијама које раде у реалном времену. Пројектовани систем треба да детектује детаље у слици који су инваријантни на промену скале и оријентације посматраног објекта и потом формира табелу дескриптора која може да се користи за препознавање објекта у другој слици.

У раду је прво описана софтверска имплементација алгоритма, која је касније коришћена као модел за имплементацију у FPGA. За реализацију система коришћена је PYNQ-Z1 развојна плоча са SoC FPGA чипом компаније Xilinx који има могућност динамичке парцијалне реконфигурације. Коришћено је развојно окружење Vivado и Vivado HLS за имплементацију и тестирање хардвера (VHDL језик). Софтверска апликација која се извршава на процесору је креирана помоћу Xilinx SDK алата (C језик). Идеја је била да се Гаусов филтар реализује коришћењем еволуирајућег хардвера, али је тестирањем утврђено да са хардвером који је био на располагању, еволуирани филтар није могао да достигне жељене карактеристике. Такође је утврђено ограничење пиксела слике на 8 бита, тако да није било могуће прецизно издвајање дескриптора, као ни имплементација система са жељеним перформансама.

Основни доприноси рада су: 1) опис реализације SIFT алгоритма са варијацијама које доприносе ефикасности алгоритма; 2) резултати добијени тестирањем еволуирајућег хардвера за реализацију Гаусовог филтра, на основу којих су утврђена ограничења и предложене идеје за њихово превазилажење.

### 4. Закључак и предлог

Кандидат Лука Одабашић је у свом мастер раду успешно разрадио идеју о FPGA имплементацији SIFT алгоритма за детекцију детаља у слици коришћењем еволуирајућег хардвера. Пројектовани систем би могао да има примену у апликацијама за детекцију објекта, посебно у системима у којима се могу променити услови рада или може доћи до отказивања делова система.

Кандидат је исказао самосталност и систематичност у своме раду, као и иновативне елементе у решавању проблематике овог рада.

На основу горе наведеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да прихвати рад под насловом "Хардверска имплементација SIFT алгоритма са компонентама еволуирајућег хардвера" дипл. инж. Луке Одабашића као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 30. 03. 2018. године

Чланови комисије:

Др Јелена Поповић-Божовић, доцент

Др Радивоје Ђурић, доцент