



УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 5.09.2017. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Александре Шкрбић под насловом „Парцијална реконфигурација и интеграција SEM IP за побољшање толеранције на грешке код COTS FPGA“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Александра Ј. Шкрбић је рођена 09.07.1993. године у Београду. Завршила је Прву београдску гимназију у Београду са одличним успехом као носилац Вукове дипломе. Електротехнички факултет у Београду уписала је 2012. године, на одсеку за Електронику. Дипломирала је 2016. године са просечном оценом на испитима 9,07. Дипломски рад одбранила је у септембру 2016. године са оценом 10. Мастер студије на Електротехничком факултету у Београду уписала је у октобру 2016. године на одсеку за Електронику. Положила је све испите са просечном оценом 9,60.

2. Опис мастер рада

Мастер рад кандидаткиње садржи 65 страна, са укупно 24 слике, 4 табеле и 22 референце. Рад садржи увод, 4 поглавља, закључак (укупно 6 поглавља) и списак литературе. Рад је написан на енглеском језику, а додати су насловна страна и сажетак на српском језику.

Прво поглавље представља увод у коме је описан предмет и циљ рада. Образложена је потреба за парцијалном реконфигурацијом код COTS (*Commercial-off-the-shelf*) FPGA система, као и за периферијом која може да исправи грешке настале у конфигурационој меморији. Наведен је садржај рада по поглављима.

У другом поглављу је представљена могућност парцијалне реконфигурације FPGA система. Приказане су карактеристике, предности и примена оваквих система и обухваћени важни концепти дизајна. Детаљно је описан поступак синтезе, имплементације и генерисања ВІТ фајлова у случају када се пројектовање описаног система врши са Vivado Suite алатом, компаније Xilinx. Изложени су потенцијални проблеми и ограничења оваквих решења.

Треће поглавље описује поступак пројектовања парцијално реконфигурабилног система у погледу хардверске имплементације, дизајна софтверске апликације и тестирања овог дела система.

У четвртном поглављу је описана функционалност SEM (*Soft Error Mitigation*) контролера. Објашњен је алгоритам детекције и корекције грешака. Детаљно је описан интерфејс контролера, хардверска имплементација и софтверска апликација која је коришћена. На крају су приказани резултати тестирања.

У оквиру петог поглавља описује се интеграција SEM контролера у FPGA систем са могућношћу парцијалне реконфигурације. Приказани су финални резултати тестирања таквог система у погледу функционалне исправности и рада у реалном времену.

Шесто поглавље је закључак у оквиру кога је наглашен значај описаног решења и могућа даља унапређења. Резимирани су резултати рада, са приказом најважнијих фаза пројектовања и предностима пројектованог система.

3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Александре Шкрбић се бави проблематиком имплементације FPGA система са могућношћу парцијалне реконфигурације у који се може додати блок за детекцију и корекцију грешака.

У раду су описани хардверска реализација и тестирање FPGA система у коме је могућа парцијална реконфигурација и имплементиран SEM контролер за инјекцију, детекцију и корекцију грешака у конфигурационој меморији система. Идеја је да се симулирају могуће грешке које настају у условима јонске радијације у електронским уређајима свемирских летелица. Пројектовани систем треба да детектује те грешке, коригује их ако је могуће или изврши парцијалну реконфигурацију уколико грешке није могуће кориговати. За реализацију система је коришћена ZYBO развојна плоча са SoC FPGA чипом компаније Xilinx који има могућност парцијалне реконфигурације. Коришћено је развојно окружење Vivado за имплементацију и тестирање хардвера (комбинација Verilog и VHDL језика), као и SDK алат за креирање софтверске апликације (C језик). Тестирањем су потврђене захтеване функционалности система. Остварена је задовољавајућа брзина у детектовању и кориговању грешака у конфигурационој меморији система.

Основни доприноси рада су:

(а) опис методологије пројектовања FPGA система са парцијалном реконфигурацијом која је једна од новоуведених карактеристика савремених програмабилних чипова,

(б) увођење SEM контролера у систем који се парцијално може реконфигурисати у случају појаве грешке и хардверска имплементација таквог система.

4. Закључак и предлог

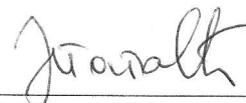
Кандидаткиња Александра Шкрбић је у свом мастер раду пројектовала FPGA систем са SEM контролером који може да детектује грешке у конфигурационој меморији и након тога их коригује или парцијално реконфигурише систем. Такви системи би могли да имају примену у електронским уређајима свемирских летелица где је неопходна поузданост и толеранција на грешке које се могу јавити у екстремним условима ван Земљине атмосфере.

Кандидаткиња је исказала самосталност и систематичност у своме раду, као и иновативне елементе у решавању проблематике овог рада.

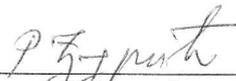
На основу горе наведеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да прихвати рад под насловом „Парцијална реконфигурација и интеграција SEM IP за побољшање толеранције на грешке код COTS FPGA“ дипл. инж. Александре Шкрбић као мастер рад и кандидаткињи одобри јавну усмену одбрану.

Београд, 26. 02. 2018. године

Чланови комисије:



Др Јелена Поповић-Божовић, доцент



Др Радивоје Ђурић, доцент