



# УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 04.07.2017. године именовала нас је у Комисију за преглед и оцену мастер рада дипл. инж. Маје Вукасовић под насловом „Симулатор векторског процесора са предикатским извршавањем у више трака“. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Маја Вукасовић је рођена 25.05.1993. године у Београду. Гимназију у Београду је завршила са одличним успехом као носилац Вукове дипломе. Електротехнички факултет у Београду уписала је 2012. године, а дипломирала је на одсеку за Софтверско инжењерство у јулу 2016. године са просечном оценом на испитима 9,98 и на дипломском 10. Мастер студије на Електротехничком факултету у Београду, на Модулу за софтверско инжењерство, уписала је у октобру 2016. године. Положила је све испите са просечном оценом 10,00.

#### 2. Опис мастер рада

Мастер рад обухвата 45 страна, са укупно 17 слика, 2 табеле и 10 референци. Рад садржи увод, 4 поглавља и закључак (укупно 6 поглавља), списак коришћене литературе, списак скраћеница, списак слика и списак табела.

Прво поглавље представља увод у коме су описаны предмет и циљ рада. Узор у погледу организације векторског процесора поједностављеног симулатора за едукационе сврхе био је векторски процесор Hwacha који се развија на Универзитету Berkley, као експериментални векторски процесор за будуће генерације машина.

У поглављу 2. је детаљније објашњен појам векторског процесора. Векторски процесори садрже компоненте за чување и обраду векторских и скаларних података. Најбоље перформансе показују за обраду одређеног типа петљи и извршавање нумеричких апликација, обраду сигнала и слике и генерално у симулацијама, док у неким другим случајевима могу мање допринети побољшању перформанси.

Циљ рада је био да се у потпуности растумаче делимично објављена решења (2015. – 2017.) за нову генерацију векторских процесора на основу доступне литературе, тако што би се направио симулатор за конкретну Hwacha машину. Међу кључним новинама у том векторском процесору, истичу се следеће: полиморфно извршавање инструкција у хардверу, идентичан асемблерски код, без обзира на број трака, предикатско извршавање са комплексним предикатима за сваки елемент низа којим се прати полиморфизам података. Захваљујући свим овим елементима, значајно је проширен спектар програмских петљи које се могу векторизовати и Hwacha представља прилично револуционаран прород у овој области. Ова машина као представник векторских процесора садржи компоненте описане у поглављу 2, али повезане у целину на специфичан начин. Организација машине и компоненте који су имплементиране у симулатору приказане су у поглављу 3. Такође, у овом поглављу је описано и функционисање неких компонената приликом учитавања података из меморије и извршавања операција над њима.

Најзначајнији делови имплементације симулатора као и графички приказ структуре симулатора заједно са доступним опцијама контроле симулације дати су у поглављу 4.

Целокупно распоређивање и извршавање иде по специфичном алгоритму чији су детаљи описани у истом поглављу.

Функционисање дела овог векторског процесора визуелно је приказано у симулатору на тест примеру који је приближније описан у поглављу 5. Део процесора обезбеђује и условно извршавање и оно је зависно од вредности одговарајућих предиката. Ово поглавље, такође, даје опис извршавања инструкција на основу предиката.

У закључку који представља последње поглавље овог рада даје се осврт на резултате добијене симулацијом. Практични део овог рада, осим у наставне сврхе, представља основу за детекцију позитивних као и негативних страна датог решења. У закључку се даје преглед најинтересантнијих концепата Hwacha машине.

### 3. Анализа рада са кључним резултатима

Предмет мастер рада дипл. инж. Маје Вукасовић овог рада је израда симулатора векторског процесора са предикатским извршавањем у више трака намењеног едукацији. Ова категорија комплексних векторских процесора постаје веома актуелна као део данашњих и будућих процесора, како због високих перформанси, тако и због мале потрошње енергије код израчунавања програмских петљи које се могу векторизовати. Кључне особине најновијих генерација векторских процесора су постојање процесирања у више паралелних трака, полиморфно извршавање и предикатско извршавање на основу низова комплексних предиката, како би се омогућила векторизација петљи са условним гранањима.

Циљ рада је да се на примеру петље прикажу могућности векторизације за ову класу процесора. Посебан акценат је дат могућности искоришћења обраде у више трака, полиморфном извршавању и предикатском извршавању. Симулацијом извршавања тест програма долази се до закључака о предностима и манама нових концепата на којима се базира ова машина. Брзина извршавања операција над аргументима дистрибуираним тракама, упоређена је са брзином учитавања нових елемената вектора у циљу одређивања лимита машине.

### 4. Закључак и предлог

Кандидаткиња Маја Вукасовић је у свом мастер раду успешно реализовала симулатор векторског процесора у више трака са предикатским извршавањем. Реализацијом симулатора су нађена решења за делове Hwacha процесора који нису објављени у јавно доступној литератури, а која се потпуно уклапају у сва јавно доступна објашњења рада тог процесора. Тиме је не само реализован симулатор једног од данас најкомплекснијих процесора, већ су сагледана и симулирана решења која нису до сада објављена.

На основу горе наведеног Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад „Симулатор векторског процесора са предикатским извршавањем у више трака“ дипл. инж. Маје Вукасовић прихвати као мастер рад и кандидаткињи одобри јавну усмену одбрану.

Београд, 01.09.2017. године

Чланови комисије:

Др Зоран Јовановић, редовни професор

Др Милоје Томашевић, редовни професор

Др Жарко Станисављевић, доцент